

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Tatsuya TANABE :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: March 30, 2004 : Attorney Docket No. OKI.650
For: MEMORY DEVICE HAVING REDUNDANT MEMORY CELL

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2003-095824 filed March 31, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: March 30, 2004



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 3 1 日
Date of Application:

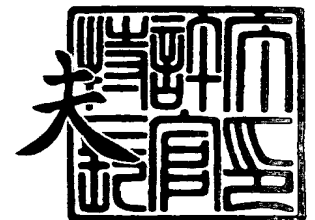
出 願 番 号 特 願 2 0 0 3 - 0 9 5 8 2 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 9 5 8 2 4]

出 願 人 沖電気工業株式会社
Applicant(s):

2 0 0 4 年 2 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 KT000491

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G11C 29/00
G11C 11/00

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 田邊 哲也

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-5919-3808

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631



【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【プルーフの要否】 要



【書類名】 明細書
【発明の名称】 半導体記憶装置
【特許請求の範囲】

【請求項 1】 複数のメモリセルから成るメモリセルアレイと、
前記メモリセルアレイの不良箇所を特定する不良箇所アドレス情報を記憶する
冗長救済判定回路と、

前記メモリセルアレイの不良箇所を救済する複数の冗長メモリセルから成る冗
長メモリセルアレイと、

を含むブロックを複数備えた半導体記憶装置であって、

前記各ブロックに属する前記各冗長救済判定回路は、

前記各冗長救済判定回路と同じブロックに属する前記メモリセルアレイに不良
箇所が存在する場合にブロック判定信号として第 1 のレベルを出力するブロック
判定部と、

前記第 1 のレベルが出力されているとき、外部から与えられたアドレス情報と
前記不良箇所アドレス情報を比較し、前記アドレス情報と前記不良箇所アドレス
情報が一致したとき、冗長救済判定信号として第 2 のレベルを出力するアドレス
判定部とを有し、

前記各ブロックに属する前記各冗長メモリセルアレイは、

当該冗長メモリセルアレイが属するブロックがアクセス先として選択され、か
つ前記冗長メモリセルアレイが属するブロックと同じブロックに属する前記冗長
救済判定回路が有する前記アドレス判定部が前記冗長救済判定信号として第 2 の
レベルを出力しているとき、前記冗長メモリセルアレイが属するブロックと同じ
ブロックに属する前記メモリセルアレイの不良箇所を冗長救済することを特徴と
する、半導体記憶装置。

【請求項 2】 前記各ブロックに属する前記各冗長救済判定回路が有する前
記ブロック判定部は、ヒューズ素子を備え、前記ヒューズ素子を切断状態または
非切断状態とすることによって、前記ブロック判定部と同じブロックに属する前
記メモリセルアレイに不良箇所が存在するか否かについての情報を記憶すること
を特徴とする、請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記各ブロック判定部は、前記ヒューズ素子の切断／非切断状態に応じて、前記ブロック判定信号の前記第 1 のレベルをラッチする手段を有することを特徴とする、請求項 2 に記載の半導体記憶装置。

【請求項 4】 前記各ブロックに属する前記各冗長救済判定回路が有する前記アドレス判定部は、ヒューズ素子を備え、前記ヒューズ素子を切断状態または非切断状態とすることによって、前記不良箇所アドレス情報を記憶することを特徴とする、請求項 1 に記載の半導体記憶装置。

【請求項 5】 前記外部から与えられたアドレス情報と前記不良箇所アドレス情報を比較する手段は、

前記外部から与えられたアドレス情報と前記不良箇所アドレス情報のビット幅に相当する数の比較ゲートを備え、

前記外部から与えられたアドレス情報および前記不良箇所アドレス情報は、ビット毎に前記各比較ゲートによって比較されることを特徴とする、請求項 1 に記載の半導体記憶装置。

【請求項 6】 複数のメモリセルから成るメモリセルアレイと、

前記メモリセルアレイの不良箇所を特定する不良箇所アドレス情報を記憶する冗長救済判定回路と、

前記メモリセルアレイの不良箇所を救済する複数の冗長メモリセルから成る冗長メモリセルアレイと、

を含むブロックを複数備えた半導体記憶装置であって、

前記各ブロックに属する前記各冗長救済判定回路は、

当該冗長救済判定回路が属するブロックがアクセス先として選択され、かつ前記冗長救済判定回路と同じブロックに属する前記メモリセルアレイに不良箇所が存在する場合にブロック判定信号として第 3 のレベルを出力するブロック判定部と、

前記第 3 のレベルが出力されているとき、外部から与えられたアドレス情報と前記不良箇所アドレス情報を比較し、前記アドレス情報と前記不良箇所アドレス情報が一致したとき、冗長救済判定信号として第 4 のレベルを出力するアドレス判定部とを有し、

前記各ブロックに属する前記各冗長メモリセルアレイは、

前記冗長メモリセルアレイが属するブロックと同じブロックに属する前記冗長救済判定回路が有する前記アドレス判定部が前記冗長救済判定信号として第 4 のレベルを出力しているとき、前記冗長メモリセルアレイが属するブロックと同じブロックに属する前記メモリセルアレイの不良箇所を冗長救済することを特徴とする、半導体記憶装置。

【請求項 7】 前記各ブロックに属する前記各冗長救済判定回路が有する前記ブロック判定部は、ヒューズ素子を備え、前記ヒューズ素子を切断状態または非切断状態とすることによって、前記ブロック判定部と同じブロックに属する前記メモリセルアレイに不良箇所が存在するか否かについての情報を記憶することを特徴とする、請求項 6 に記載の半導体記憶装置。

【請求項 8】 前記ブロック判定部は、
前記ヒューズ素子の切断／非切断状態に応じて、第 5 のレベルを出力するラッチ回路を有し、アクセス先として選択された前記ブロックが当該ブロック判定部を含むとき、前記第 5 のレベルに応じて、前記ブロック判定信号の前記第 3 のレベルを出力することを特徴とする、請求項 7 に記載の半導体記憶装置。

【請求項 9】 前記各ブロックに属する前記各冗長救済判定回路が有する前記アドレス判定部は、ヒューズ素子を備え、前記ヒューズ素子を切断状態または非切断状態とすることによって、前記不良箇所アドレス情報を記憶することを特徴とする、請求項 6 に記載の半導体記憶装置。

【請求項 10】 前記外部から与えられたアドレス情報と前記不良箇所アドレス情報を比較する手段は、前記外部から与えられたアドレス情報と前記不良箇所アドレス情報のビット幅に相当する数の比較ゲートを備え、

前記外部から与えられたアドレス情報および前記不良箇所アドレス情報は、ビット毎に前記各比較ゲートによって比較されることを特徴とする、請求項 6 に記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、冗長救済機能を有する半導体記憶装置に関するものである。

【0002】

【従来の技術】

DRAM (Dynamic Random Access Memory) のような半導体記憶装置においては、大容量化が進むに従って不良メモリセルによる歩留りの低下が問題になる。そこで今日では一般的に、半導体記憶装置に対して、通常使用されるメモリセル（以下、「通常メモリセル」という）アレイとは別に冗長救済用のメモリセル（以下、「冗長メモリセル」という）アレイを用意するいわゆる冗長救済技術が導入されている。

【0003】

この冗長救済技術において、冗長メモリセルアレイは、通常メモリセルアレイおよびこの周辺回路中に不良メモリセル、不良ビット線、または不良ワード線等が存在する場合、これらの不良箇所を救済するために機能する。

【0004】

通常メモリセルアレイおよびこの周辺回路における不良箇所の有無およびその位置（アドレス）は、通常メモリセルアレイを構成する個々のメモリセルへ任意のデータを書き込み、この書き込まれたデータを読み出し、読み出しデータと書き込みデータとを比較するテストを行うことによって特定される。

【0005】

このテストによって不良箇所が確認された場合、その不良箇所のアドレス情報は、冗長救済判定回路内に備えられた記憶手段（通常は、複数のヒューズから成るヒューズROM (Read Only Memory)）にプログラムされる。不良箇所のアドレス情報がプログラムされた冗長救済判定回路は、外部から通常メモリセルアレイへのアクセスが生じたとき、アクセス先が不良箇所か否かを判定し、不良箇所へのアクセスであった場合には、アクセス先を通常メモリセルアレイから冗長メモリセルアレイへと変更するように動作する。この結果、通常メモリセルアレイおよびこの周辺回路に不良箇所を有する半導体記憶装置であっても、全く不良のない半導体記憶装置と同等の動作が可能となる。

【0006】

ところで、近年、半導体記憶装置が組みまれる機器のポータブル化が進む中で、半導体記憶装置の大容量化、高速化と共に、低消費電力化への要求が高まっている。冗長救済判定回路が消費する電力を低減し、半導体記憶装置全体の省電力化を図る技術としては、下記の特許文献 1 に記載されたものがある。

【 0 0 0 7 】

この特許文献 1 に記載の半導体集積回路装置によれば、冗長救済部（冗長救済判定回路）に属する複数の冗長回路にはそれぞれ、冗長救済用ヒューズと貫通電流防止ヒューズが備えられる。そして、これら冗長救済用ヒューズと貫通電流防止ヒューズのいずれか一方が切断されることによって、冗長回路における貫通電流の発生が防止され、半導体集積回路装置の消費電力が低減されることになる。

【 0 0 0 8 】

【特許文献 1】

特開平 1 1 - 1 6 8 1 4 3 号公報

【 0 0 0 9 】

【発明が解決しようとする課題】

例えば、シンクロナス D R A M のような高速データ転送を実現する半導体記憶装置においては、一般的にメモリセルアレイを複数のブロックに分け、各ブロックを構成するメモリセルアレイ（以下、「サブ・メモリセルアレイ」という）に対して独立にアクセスする構成が採用されている。そして、各サブ・メモリセルアレイに生じる可能性のある不良箇所を冗長救済するために、各ブロックには冗長メモリセルアレイおよび冗長救済判定回路が備えられる。

【 0 0 1 0 】

従来技術は、冗長救済判定回路単体の省電力化を図るものであり、ブロックに分割されていないメモリセルアレイを有する半導体記憶装置に対しては効果をもたらすと考えられるが、複数のブロックそれぞれに配置された冗長救済判定回路が消費する電力を効率的に、かつ総合的に低減させることはできなかった。

【 0 0 1 1 】

今日、半導体記憶装置の大容量化が進んだことでブロックの数が増加し、半導体記憶装置には複数の冗長救済判定回路が備えられることが一般的となっている

。そして、半導体記憶装置の省電力化を図るためには、各ブロックに備えられた冗長救済判定回路の電力消費を低減させることがより一層重要となってきた。

【0012】

本発明は、上記のような問題点に鑑みてなされたものであり、その目的は、複数のブロックに配された各冗長救済判定回路の消費電力を低減することが可能な新規かつ改良された半導体記憶装置を提供することにある。

【0013】

【課題を解決するための手段】

上記課題を解決するために、本発明の第1の観点によれば、複数のメモリセルから成るメモリセルアレイと、メモリセルアレイの不良箇所を特定する不良箇所アドレス情報を記憶する冗長救済判定回路と、メモリセルアレイの不良箇所を救済する複数の冗長メモリセルから成る冗長メモリセルアレイとを含むブロックを複数備えた半導体記憶装置が提供される。各ブロックに属する各冗長救済判定回路は、ブロック判定部とアドレス判定部を有する。ブロック判定部は、同じブロックに属するメモリセルアレイに不良箇所が存在する場合にブロック判定信号として第1のレベル（論理的高レベルまたは論理的低レベル）を出力するものである。また、アドレス判定部は、ブロック判定部から第1のレベルが出力されているとき、外部から与えられたアドレス情報と不良箇所アドレス情報を比較し、アドレス情報と不良箇所アドレス情報が一致したとき、冗長救済判定信号として第2のレベル（論理的高レベルまたは論理的低レベル）を出力するものである。そして、各ブロックに属する各冗長メモリセルアレイは、当該冗長メモリセルアレイが属するブロックがアクセス先として選択され、かつ冗長メモリセルアレイが属するブロックと同じブロックに属する冗長救済判定回路が有するアドレス判定部が冗長救済判定信号として第2レベルを出力しているとき、冗長メモリセルアレイが属するブロックと同じブロックに属するメモリセルアレイの不良箇所を冗長救済する。

【0014】

かかる構成によれば、半導体記憶装置に備えられた複数の冗長救済判定回路の

うち、不良箇所を有するメモリセルアレイと同じブロックに属する冗長救済判定回路のみが、外部から与えられたアドレス情報と不良箇所アドレス情報を比較する動作を行うことになる。これに対して、不良箇所を有しないメモリセルアレイと同じブロックに属する冗長救済判定回路はアドレスの比較動作を行わない。冗長救済を行う必要のあるブロックに属する冗長救済判定回路のみが冗長救済を判定する動作を行うことになるため、半導体記憶装置の消費電力の低減が実現する。

【0015】

本発明の第2の観点によれば、複数のメモリセルから成るメモリセルアレイと、メモリセルアレイの不良箇所を特定する不良箇所アドレス情報を記憶する冗長救済判定回路と、メモリセルアレイの不良箇所を救済する複数の冗長メモリセルから成る冗長メモリセルアレイとを含むブロックを複数備えた半導体記憶装置が提供される。各ブロックに属する各冗長救済判定回路は、ブロック判定部とアドレス判定部を有する。ブロック判定部は、このブロック判定部を有する冗長救済判定回路が属するブロックがアクセス先として選択され、かつ冗長救済判定回路と同じブロックに属するメモリセルアレイに不良箇所が存在する場合にブロック判定信号として第3のレベル（論理的高レベルまたは論理的低レベル）を出力するものである。また、アドレス判定部は、ブロック判定部から第3のレベルが出力されているとき、外部から与えられたアドレス情報と不良箇所アドレス情報を比較し、アドレス情報と不良箇所アドレス情報が一致したときに、冗長救済判定信号として第4のレベル（論理的高レベルまたは論理的低レベル）を出力するものである。そして、各ブロックに属する各冗長メモリセルアレイは、この冗長メモリセルアレイが属するブロックと同じブロックに属する冗長救済判定回路が有するアドレス判定部が冗長救済判定信号として第4のレベルを出力しているときに、冗長メモリセルアレイが属するブロックと同じブロックに属するメモリセルアレイの不良箇所を冗長救済する。

【0016】

かかる構成によれば、半導体記憶装置に備えられた複数の冗長救済判定回路のうち、不良箇所を有するメモリセルアレイと同じブロックに属する冗長救済判定

回路のみが、外部から与えられたアドレス情報と不良箇所アドレス情報を比較する動作を行うことになる。しかも、当該冗長救済判定回路は、所属するブロックがアクセス先として選択されているときのみアドレスの比較動作を行う。したがって、複数の冗長救済判定回路のうち、アドレスの比較動作をすべき冗長救済判定回路が、アドレスの比較をする必要のあるときだけアドレスの比較動作を行うことになる。この結果、半導体記憶装置の省電力化が実現する。

【 0 0 1 7 】

各ブロックに属する各冗長救済判定回路が有するブロック判定部は、ヒューズ素子を備える。このヒューズ素子を切断状態または非切断状態とすることによって、ブロック判定部は、自らと同じブロックに属するメモリセルアレイに不良箇所が存在するか否かについての情報を記憶する。

【 0 0 1 8 】

各ブロック判定部は、ヒューズ素子の切断／非切断状態に応じて、ブロック判定信号の第 1 レベルをラッチする手段を有する。ブロック判定部のヒューズ素子を切断状態または非切断状態とすることによって、各冗長救済判定回路に対してアドレス比較機能が与えられる。

【 0 0 1 9 】

また、ヒューズ素子の切断／非切断状態に応じて、第 5 のレベル（論理的高レベルまたは論理的低レベル）を出力するラッチ回路を有するように、各ブロック判定部を構成してもよい。この場合、各ブロック判定部は、アクセス先として選択されたブロックが当該ブロック判定部を含むとき、第 5 のレベルに応じて、ブロック判定信号の第 3 のレベルを出力する。かかる構成によれば、ブロック判定部のヒューズ素子を切断状態または非切断状態とすることによって、各冗長救済判定回路に対してアドレス比較機能が与えられる。そしてさらに、当該ブロック判定部を有する冗長救済判定回路が属するブロックがアクセス先として選択されているときのみ、このアドレス比較機能が有効となる。

【 0 0 2 0 】

各ブロックに属する各冗長救済判定回路が有するアドレス判定部は、1 または複数のヒューズ素子を備える。各ヒューズを切断状態または非切断状態とするこ

とによって、各アドレス判定部は、不良箇所アドレス情報を記憶する。

【0021】

各ブロックに属する各冗長救済判定回路が有する各アドレス判定部は、外部から与えられたアドレス情報と不良箇所アドレス情報を比較する手段を備える。そして、この比較手段は、外部から与えられたアドレス情報と不良箇所アドレス情報のビット幅に相当する数の比較ゲートを備えることが好ましい。外部から与えられたアドレス情報および不良箇所アドレス情報は、ビット毎に各比較ゲートによって比較される。

【0022】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかる半導体記憶装置の好適な実施の形態について詳細に説明する。なお、以下の説明および添付された図面において、略同一の機能および構成を有する要素については、同一符号を付することによって重複説明を省略する。

【0023】

[第1の実施の形態]

本発明の第1の実施の形態にかかる半導体記憶装置としてのDRAM101の構成を図1に示す。このDRAM101は、 $m+1$ 個のブロックBL0～BL m を有している。各ブロックBL0～BL m は、通常メモリセルアレイMA0～MA m 、冗長メモリセルアレイRMA0～RMA m 、および冗長救済判定回路R0～R m を備えている。例えば、ブロックBL0～BL m の中の一つであるブロックBL k ($0 \leq k \leq m$) には、通常メモリセルアレイMA k 、冗長メモリセルアレイRMA k 、および冗長救済判定回路R k が属する。このように、複数のメモリセルを $m+1$ 個のブロックBL0～BL m に分割して管理し、各ブロック毎にメモリセルへアクセスすることによって、データ読み出しおよびデータ書き込みの高速化および安定化が実現する。

【0024】

各ブロックBL0～BL m に属する通常メモリセルアレイMA0～MA m に不良箇所が生じた場合、その不良箇所に関係するメモリセルまたはメモリセル群は

、同じブロックに属する冗長メモリセルアレイ $RMA_0 \sim RMA_m$ の中のメモリセルまたはメモリセル群に置き換えられる。この置き換え、すなわち冗長救済の判定は、各ブロック $BL_0 \sim BL_m$ 毎に、各冗長救済判定回路 $R_0 \sim R_m$ が担当する。

【0025】

各通常メモリセルアレイ $MA_0 \sim MA_m$ の間には通常センスアンプ部 $SA_0/1, SA_1/2, \dots, SA_{m-1}/m$ が備えられ、位置的に先頭の通常メモリセルアレイ MA_0 の外側には通常センスアンプ部 SA_0 が備えられ、位置的に後尾の通常メモリセルアレイ MA_m の外側には通常センスアンプ部 SA_m が備えられている。

【0026】

例えば、通常メモリセルアレイ MA_1 の両側に配置されている通常センスアンプ部 $SA_0/1$ と通常センスアンプ部 $SA_1/2$ は、通常メモリセルアレイ MA_1 が有する複数のビット線（図示せず）の電圧を増幅して通常メモリセルアレイ MA_1 からデータを読み出し、または通常メモリセルアレイ MA_1 に対してデータを書き込むように動作する。他の通常センスアンプ部も同様に、隣接する通常メモリセルアレイからデータを読み出し、または隣接する通常メモリセルアレイに対してデータを書き込むように動作する。なお、各通常センスアンプ部 $SA_0/1, SA_1/2, \dots, SA_{m-1}/m$ は、両側に位置する2つの通常メモリセルアレイに対して作用する。つまり、各通常センスアンプ部 $SA_0/1, SA_1/2, \dots, SA_{m-1}/m$ は、両側に配置された通常メモリセルアレイ $MA_0 \sim MA_m$ に共有される機能部となる。この構成を採用することによって、ブロック数が増加しても、通常センスアンプ部の数を少なく抑えることが可能となる。

【0027】

各冗長メモリセルアレイ $RMA_0 \sim RMA_m$ には、冗長センスアンプ部 $RSA_0 \sim RSA_m$ が割り当てられている。この冗長メモリセルアレイ $RMA_0 \sim RMA_m$ と冗長センスアンプ部 $RSA_0 \sim RSA_m$ との関係は、上述の通常メモリセルアレイ $MA_0 \sim MA_m$ と通常センスアンプ部 $SA_0 \sim SA_m$ との関係と略同一

である。すなわち、例えば、冗長メモリセルアレイ RMA 1 の両側に配置されている冗長センスアンプ部 RSA 0 / 1 と冗長センスアンプ部 RSA 1 / 2 は、冗長メモリセルアレイ RMA 1 が有する複数のビット線（図 2 参照）の電圧を増幅して冗長メモリセルアレイ RMA 1 からデータを読み出し、または冗長メモリセルアレイ RMA 1 に対してデータを書き込むように動作する。他の冗長センスアンプ部も同様に、隣接する冗長メモリセルアレイからデータを読み出し、または隣接する冗長メモリセルアレイに対してデータを書き込むように動作する。冗長メモリセルアレイ RMA 0 ~ RMA m および冗長センスアンプ部 RSA 0 ~ RSA m の構成および動作の詳細については後述する。

【0028】

各冗長救済判定回路 R 0 ~ R m の間には 2 つの AND ゲートと 1 つの OR ゲートから成る論理ゲート部 LG 0 / 1, LG 1 / 2, ..., LG m - 1 / m が備えられ、位置的に先頭の冗長救済判定回路 R 0 の外側には 1 つの AND ゲートから成る論理ゲート部 LG 0 が備えられ、位置的に後尾の冗長救済判定回路 R m の外側には 1 つの AND ゲートから成る論理ゲート部 LG m が備えられている。

【0029】

例えば、冗長救済判定回路 R 0 と冗長救済判定回路 R 1 の間に位置する論理ゲート部 LG 0 / 1 は、AND ゲート AG a, AND ゲート AG b, および OR ゲート OG を備えている。この論理ゲート部 LG 0 / 1 において、一方の AND ゲート AG a には、制御部 113 が出力するブロック選択信号 BS 0 と冗長救済判定回路 R 0 が出力する冗長救済判定信号 RD 0 が与えられ、他方の AND ゲート AG b には、制御部 113 が出力するブロック選択信号 BS 1 と冗長救済判定回路 R 1 が出力する冗長救済判定信号 RD 1 が与えられる。AND ゲート AG a の出力端と AND ゲート AG b の出力端は、OR ゲート OG の各入力端に接続されている。そして、OR ゲート OG の出力端は、冗長センスアンプ部 RSA 0 / 1 の入力端に接続されている。このように構成された論理ゲート部 LG 0 / 1 は、ブロック選択信号 BS 0, BS 1 と冗長救済判定信号 RD 0, RD 1 を用いて所定の論理演算を行い、演算結果を冗長選択信号 RS 0 / 1 として冗長センスアンプ部 RSA 0 / 1 に与える。

【0030】

同様に、他の論理ゲート部 LG_0 , $LG_{1/2}$, \dots , $LG_{m-1/m}$, LG_m は、隣接する各冗長救済判定回路 $R_0 \sim R_m$ から冗長救済判定信号 $RD_0 \sim RD_m$ が与えられ、制御部 113 からブロック選択信号 $BS_0 \sim BS_m$ が与えられるように構成されている。そして、各論理ゲート部 LG_0 , $LG_{1/2}$, \dots , $LG_{m-1/m}$, LG_m の各出力端は、冗長センスアンプ部 RS_0 , $RS_{1/2}$, \dots , RS_m の入力端に接続されている。各論理ゲート部 LG_0 , $LG_{1/2}$, \dots , $LG_{m-1/m}$, LG_m は、冗長救済判定信号 $RD_0 \sim RD_m$ およびブロック選択信号 $BS_0 \sim BS_m$ を用いて所定の論理演算を行い、演算結果を冗長選択信号 RS_0 , $RS_{1/2}$, \dots , RS_m として各冗長センスアンプ部 RS_0 , $RS_{1/2}$, \dots , RS_m に与える。

【0031】

冗長救済判定回路 $R_0 \sim R_m$ は、アドレスバッファ部 111 が出力するアドレス信号 $A_0Y \sim A_nY$ および制御部 113 が出力する初期化信号 $/INT$ が与えられるように構成されている。

【0032】

次に、冗長メモリセルアレイ $RMA_0 \sim RMA_m$ および冗長センスアンプ部 $SA_0 \sim SA_m$ の構成について説明する。冗長メモリセルアレイ $RMA_0 \sim RMA_m$ は相互に略同一の構成を有し、冗長センスアンプ部 $SA_0 \sim SA_m$ は相互に略同一の構成を有する。したがって、ここでは代表的に、冗長メモリセルアレイ $RMA_0 \sim RMA_m$ の中の一つである冗長メモリセルアレイ RMA_k ($0 \leq k \leq m$)、および、この冗長メモリセルアレイ RMA_k の両側に位置する冗長センスアンプ部 $SA_{k-1/k}$ と冗長センスアンプ部 $SA_{k/k+1}$ の回路構成を説明する。

【0033】

図2に示すように、冗長メモリセルアレイ RMA_k は、4本のビット線 $RBL_0 \sim RBL_3$ と $i+1$ 本のワード線 $WL_0 \sim WL_i$ 、および、これらの交差部に配置された複数のメモリセル $PMC_{00} \sim PMC_{3i}$ から構成されている。各メモリセル $PMC_{00} \sim PMC_{3i}$ は、一般的なDRAMと同様にトランジスタと

キャパシタによって構成されている。

【0034】

各ワード線 $WL_0 \sim WL_i$ は、冗長メモリセルアレイ RMA_k と通常メモリセルアレイ MA_k に亘って延設されている。

【0035】

ビット線 RBL_0 およびビット線 RBL_1 は、冗長センスアンプ部 $RSA_{k-1/k}$ 内にまで延設されており、ビット線 RBL_2 およびビット線 RBL_3 は、冗長センスアンプ部 $RSA_{k/k+1}$ 内にまで延設されている。

【0036】

冗長センスアンプ部 $RSA_{k-1/k}$ は、データ読み出し動作に寄与する N チャンネル型トランジスタ（以下、「N トランジスタ」という） TR_{1L} , TR_{2L} , TR_{3L} , TR_{4L} , データ書き込み動作に寄与する N トランジスタ TW_{1L} , TW_{2L} , インバータ $121L$, AND ゲート $122L$, およびアンプ AMP_L から構成されている。

【0037】

まず、冗長センスアンプ部 $RSA_{k-1/k}$ におけるデータ読み出し部を構成する N トランジスタ TR_{1L} , TR_{2L} , TR_{3L} , TR_{4L} の接続関係を説明する。

【0038】

N トランジスタ TR_{1L} のゲートと N トランジスタ TR_{2L} のゲートは冗長選択信号 $RS_{k-1/k}$ の伝送ラインに接続されている。また、N トランジスタ TR_{1L} のドレインと N トランジスタ TR_{2L} のドレインは、ビット線 RBL_0 またはビット線 RBL_1 に接続されているメモリセル RMC_{00} , RMC_{11} , \dots , RMC_{i-1} , RMC_{1i} から読み出されたデータが伝送されるサブ読み出しデータバス $SRDB$ に接続されている。さらに、N トランジスタ TR_{1L} のソースは、N トランジスタ TR_{3L} のドレインに接続されており、N トランジスタ TR_{2L} のソースは、N トランジスタ TR_{4L} のドレインに接続されている。

【0039】

N トランジスタ TR_{3L} のゲートは、ビット線 RBL_0 に接続されており、N

トランジスタ $TR4L$ のゲートは、ビット線 $RBL1$ に接続されている。そして、 N トランジスタ $TR3L$ のドレインと N トランジスタ $TR4L$ のドレインは、第2電源電位 VSS (グランド電位) に接続されている。

【0040】

次に、冗長センスアンプ部 $RS_{k-1/k}$ におけるデータ書き込み部を構成する N トランジスタ $TW1L$ 、 $TW2L$ 、インバータ $121L$ 、および AND ゲート $122L$ の接続関係を説明する。

【0041】

N トランジスタ $TW1L$ のゲートと N トランジスタ $TW2L$ のゲートは AND ゲート $122L$ の出力端に接続されている。また、 N トランジスタ $TW1L$ のドレインと N トランジスタ $TW2L$ のドレインは、ビット線 $RBL0$ またはビット線 $RBL1$ に接続されているメモリセル $RMC00$ 、 $RMC11$ 、 \dots 、 RMC_{0i-1} 、 $RMC1i$ へ書き込まれるデータが伝送されるサブ書き込みデータバス $SWDB$ に接続されている。さらに、 N トランジスタ $TW1L$ のソースは、ビット線 $RBL0$ に接続されており、 N トランジスタ $TW2L$ のソースは、ビット線 $RBL1$ に接続されている。

【0042】

AND ゲート $122L$ の第1入力端は冗長選択信号 $RS_{k-1/k}$ の伝送ラインに接続されており、 AND ゲート $122L$ の第2入力端はインバータ $121L$ の出力端に接続されている。インバータ $121L$ の入力端は書き込み許可信号 WE の伝送ラインに接続されている。

【0043】

ビット線 $RBL0$ とビット線 $RBL1$ の間には、ビット線 $RBL0$ とビット線 $RBL1$ の電位差を増幅するアンプ $AMPL$ が配置されている。

【0044】

以上のように構成された冗長センスアンプ部 $RS_{k-1/k}$ は、冗長メモリセルアレイ RMA_k を構成する複数のメモリセルのうち、ビット線 $RBL0$ またはビット線 $RBL1$ に接続されているメモリセル $RMC00$ 、 $RMC11$ 、 \dots 、 RMC_{0i-1} 、 $RMC1i$ へアクセスするものである。これに対して、ビ

ット線 RBL 2 またはビット線 RBL 3 に接続されているメモリセル RMC 20, RMC 31, ..., RMC 2i-1, RMC 3i へは、冗長センスアンプ部 RSA k / k + 1 がアクセスする。

【0045】

冗長センスアンプ部 RSA k / k + 1 は、データ読み出し動作に寄与する N トランジスタ TR 1 R, TR 2 R, TR 3 R, TR 4 R, データ書き込み動作に寄与する N トランジスタ TW 1 R, TW 2 R, インバータ 121 R, AND ゲート 122 R, およびアンプ AMP R から構成されている。

【0046】

まず、冗長センスアンプ部 RSA k / k + 1 におけるデータ読み出し部を構成する N トランジスタ TR 1 R, TR 2 R, TR 3 R, TR 4 R の接続関係を説明する。

【0047】

N トランジスタ TR 1 R のゲートと N トランジスタ TR 2 R のゲートは冗長選択信号 RS k / k + 1 の伝送ラインに接続されている。また、N トランジスタ TR 1 R のドレインと N トランジスタ TR 2 R のドレインは、ビット線 RBL 2 またはビット線 RBL 3 に接続されているメモリセル RMC 20, RMC 31, ..., RMC 2i-1, RMC 3i から読み出されたデータが伝送されるサブ読み出しデータバス SRDB に接続されている。さらに、N トランジスタ TR 1 R のソースは、N トランジスタ TR 3 R のドレインに接続されており、N トランジスタ TR 2 R のソースは、N トランジスタ TR 4 R のドレインに接続されている。

【0048】

N トランジスタ TR 3 R のゲートは、ビット線 RBL 2 に接続されており、N トランジスタ TR 4 R のゲートは、ビット線 RBL 3 に接続されている。そして、N トランジスタ TR 3 R のドレインと N トランジスタ TR 4 R のドレインは、第 2 電源電位 VSS (グラウンド電位) に接続されている。

【0049】

次に、冗長センスアンプ部 RSA k / k + 1 におけるデータ書き込み部を構成

するNトランジスタTW1R, TW2R, インバータ121R, およびANDゲート122Rの接続関係を説明する。

【0050】

NトランジスタTW1RのゲートとNトランジスタTW2RのゲートはANDゲート122Rの出力端に接続されている。また, NトランジスタTW1RのドレインとNトランジスタTW2Rのドレインは, ビット線RBL2またはビット線RBL3に接続されているメモリセルRMC20, RMC31, ..., RMC2i-1, RMC3iへ書き込まれるデータが伝送されるサブ書き込みデータバスSWDBと接続されている。さらに, NトランジスタTW1Rのソースは, ビット線RBL2に接続されており, NトランジスタTW2Rのソースは, ビット線RBL3に接続されている。

【0051】

ANDゲート122Rの第1入力端は冗長選択信号RSk/k+1の伝送ラインに接続されており, ANDゲート122Rの第2入力端はインバータ121Rの出力端に接続されている。インバータ121Rの入力端は書き込み許可信号/WEの伝送ラインに接続されている。

【0052】

ビット線RBL2とビット線RBL3の間には, ビット線RBL2とビット線RBL3の電位差を増幅するアンプAMP Rが配置されている。

【0053】

本実施の形態において, 冗長メモリセルアレイRMAkは, 4本のビット線RBL0~RBL3を有しているが, このビット線の本数を増加させることも可能である。冗長メモリセルアレイRMAkへの1回のアクセスで転送されるデータのビット幅は, 通常メモリセルアレイRMAkへの1回のアクセスで転送されるデータのビット幅に一致させることが好ましい。冗長メモリセルアレイRMAkに備えるビット線の本数は, この転送データのビット幅に応じて選択される。本実施の形態においては, 4ビット幅のデータが転送されることになる。

【0054】

冗長メモリセルアレイRMAkが4本のビット線RBL0~RBL3を有する

場合は、図2に示したように、冗長メモリセルアレイ RMA_k の両側に位置する冗長センスアンプ部 $RSA_{k-1/k}$ および冗長センスアンプ部 $RSA_{k/k+1}$ はそれぞれ、1段構成のデータ読み出し部とデータ書き込み部を有する。これに対して、冗長メモリセルアレイ RMA_k のビット線が例えば8本の場合は、冗長センスアンプ部 $RSA_{k-1/k}$ および冗長センスアンプ部 $RSA_{k/k+1}$ が有するデータ読み出し部およびデータ書き込み部は例えば2段に構成される。

【0055】

次に、通常メモリセルアレイ $MA_0 \sim MA_m$ および通常センスアンプ部 $SA_0 \sim SA_m$ の構成について説明する。

【0056】

各通常メモリセルアレイ $MA_0 \sim MA_m$ が不良箇所を有する場合、その不良箇所は、冗長メモリセルアレイ $RMA_0 \sim RMA_m$ の一部に置換される。したがって、各通常メモリセルアレイ $MA_0 \sim MA_m$ のビット線方向の回路構成と、冗長メモリセルアレイ $RMA_0 \sim RMA_m$ のビット線方向の回路構成は、略同一である。各通常メモリセルアレイ $MA_0 \sim MA_m$ のワード線方向の回路は、一般的なメモリセルアレイに倣って構成されることが好ましい。すなわち、各通常メモリセルアレイ $MA_0 \sim MA_m$ は、複数のビット線、 $i+1$ 本のワード線 $WL_0 \sim WL_i$ 、および各ビット線と各ワード線 $WL_0 \sim WL_i$ の交差部に配置されたメモリセルから構成される。

【0057】

各通常メモリセルアレイ $MA_0 \sim MA_m$ が複数のビット線を有するため、両側に配置される通常センスアンプ部 $SA_0 \sim SA_m$ は、ビット線本数に応じた段数のデータ読み出し部とデータ書き込み部を備える。通常センスアンプ部 $SA_0 \sim SA_m$ が備える各データ読み出し部とデータ書き込み部は、図2に示した冗長センスアンプ部 $RSA_{k-1/k}$ が備えるデータ読み出し部とデータ書き込み部と略同一であることが好ましい。

【0058】

次に、本実施の形態にかかるDRAM101に備えられた冗長救済判定回路 $R_0 \sim R_m$ の構成について説明する。冗長救済判定回路 $R_0 \sim R_m$ は相互に略同一

の構成を有する。したがって、ここでは代表的に、冗長救済判定回路 $R_0 \sim R_m$ の中の一つである冗長救済判定回路 R_k ($0 \leq k \leq m$) の回路構成を説明する。

【0059】

図3に示すように、冗長救済判定回路 R_k は、ブロック判定部 131 およびアドレス判定部 132 から構成されている。アドレス判定部 132 は、 $n+1$ 個のサブ・アドレス判定部 133-0 \sim 133- n および論理演算部 135 を備えている。

【0060】

ブロック判定部 131 は、初期化信号 $/INT$ が入力され、ブロック判定信号 $/BD$ を出力するように構成されている。

【0061】

アドレス判定部 132 に備えられたサブ・アドレス判定部 133-0 \sim 133- n は、初期化信号 $/INT$ およびブロック判定信号 $/BD$ が共通入力される。また、各サブ・アドレス判定部 133-0 \sim 133- n は、アドレス信号 $A_0Y \sim A_nY$ が入力される。各サブ・アドレス判定部 133-0 \sim 133- n は、各アドレス信号 $A_0Y \sim A_nY$ に対応して備えられるものであって、アドレス信号の数（ビット幅）が増減すれば、これに応じてサブ・アドレス判定部の構成数も増減する。

【0062】

アドレス判定部 132 に備えられた論理演算部 135 は、各サブ・アドレス判定部 133-0 \sim 133- n が出力するアドレス判定信号 $RA_0Y \sim RA_nY$ に基づいて所定の論理演算を行い、その結果を冗長救済判定信号 RD_k として出力する。

【0063】

図3に示した冗長救済判定回路 R_k の構成要素について、図4、図5、図6を用いてさらに詳しく説明する。

【0064】

ブロック判定部 131 は、図4に示すように、Pチャネル型トランジスタ（以下、「Pトランジスタ」という）1311、Pトランジスタ 1312、ヒューズ

素子 1313, Nトランジスタ 1314, およびインバータ 1315 から構成されている。

【0065】

Pトランジスタ 1311 のソースと Pトランジスタ 1312 のソースは共に第 1 電源電位 VDD の供給ラインに接続されており, Pトランジスタ 1311 のドレインと Pトランジスタ 1312 のドレインは共にノード 131n2 に接続されている。Pトランジスタ 1311 のゲートはノード 131n1 に接続されており, Pトランジスタ 1312 のゲートはノード 131n3 に接続されている。

【0066】

ヒューズ素子 1313 の第 1 端はノード 131n2 に接続されており, ヒューズ素子 1313 の第 2 端は Nトランジスタ 1314 のドレインに接続されている。

【0067】

Nトランジスタ 1314 のゲートはノード 131n1 に接続されており, Nトランジスタ 1314 のソースは第 2 電源電位 VSS (グランド電位) の供給ラインに接続されている。

【0068】

インバータ 1315 の入力端はノード 131n2 に接続されており, インバータ 1315 の出力端はノード 131n3 に接続されている。

【0069】

以上のように構成されたブロック判定部 131 は, ノード 131n1 に初期化信号 /INT が入力され, ノード 131n3 からブロック判定信号 /BD を出力する。出力されたブロック判定信号 /BD は, アドレス判定部 132 を構成するサブ・アドレス判定部 133-0 ~ 133-n に与えられる。

【0070】

図 3 に示したように, 冗長救済判定回路 Rk に属するアドレス判定部 132 は, n+1 個のサブ・アドレス判定部 133-0 ~ 133-n を備えている。これらサブ・アドレス判定部 133-0 ~ 133-n は相互に略同一の構成を有する。したがって, ここでは代表的に, サブ・アドレス判定部 133-0 ~ 133-

n の中の一つであるサブ・アドレス判定部 133-j ($0 \leq j \leq n$) の回路構成を説明する。

【0071】

サブ・アドレス判定部 133-j は、図 5 に示すように、P トランジスタ 1331、P トランジスタ 1332、ヒューズ素子 1333、N トランジスタ 1334、インバータ 1335、比較手段（比較ゲート）としての排他的論理和ゲート（以下、「E x O R ゲート」という）1336、および N トランジスタ 1337 から構成されている。

【0072】

P トランジスタ 1331 のソースと P トランジスタ 1332 のソースは共に第 1 電源電位 VDD の供給ラインに接続されており、P トランジスタ 1331 のドレインと P トランジスタ 1332 のドレインは共にノード 133n2 に接続されている。P トランジスタ 1331 のゲートはノード 133n1 に接続されており、P トランジスタ 1332 のゲートはノード 133n3 に接続されている。

【0073】

ヒューズ素子 1333 の第 1 端はノード n133n2 に接続されており、ヒューズ素子 1333 の第 2 端は N トランジスタ 1334 のドレインに接続されている。

【0074】

N トランジスタ 1334 のゲートはノード 133n1 に接続されており、N トランジスタ 1334 のソースは第 2 電源電位 VSS（グランド電位）の供給ラインに接続されている。

【0075】

インバータ 1335 の入力端はノード 133n2 に接続されており、インバータ 1335 の出力端はノード 133n3 に接続されている。

【0076】

E x O R ゲート 1336 の第 1 入力端はノード 133n3 に接続されており、E x O R ゲート 1336 の第 2 入力端はノード 133n4 に接続されており、E x O R ゲート 1336 の電源制御端はノード 133n5 に接続されており、E x

ORゲート1336の出力端はノード133n6に接続されている。

【0077】

Nトランジスタ1337のソースはノード133n6に接続されており、Nトランジスタ1337のゲートはノード133n5に接続されており、Nトランジスタ1337のドレインは第2電源電位VSS（グランド電位）の供給ラインに接続されている。

【0078】

以上のように構成されたサブ・アドレス判定部133-jは、ノード133n1に初期化信号／INTが入力され、ノード133n4にアドレス信号A_jYが入力され、ノード133n5にブロック判定信号／BDが入力され、ノード133n6からアドレス判定信号RA_jYを出力する。このサブ・アドレス判定部133-j以外のサブ・アドレス判定部133-0～133-nも同様に、初期化信号／INT、アドレス信号A₀Y～A_nY、およびブロック判定信号／BDが入力され、それぞれアドレス判定信号RA₀Y～RA_nYを出力する。各サブ・アドレス判定部133-0～133-nから出力されたアドレス判定信号RA₀Y～RA_nYは、後段の論理演算部135に与えられる。

【0079】

アドレス判定部132を構成する論理演算部135は、入力されるアドレス判定信号RA₀Y～RA_nYが全てアサートされたときに、出力する冗長救済判定信号RD_kをアクティブ状態に遷移させる機能を有する。このような機能を実現するために、論理演算部135は、例えば、図6に示すように、p+1個の3入力タイプまたは2入力タイプのNANDゲート1351-0～1351-p、および、NORゲート1352を備える。論理演算部135に入力されるアドレス判定信号RA₀Y～RA_nYは、p+1個のグループに分配され、各グループ毎にNANDゲート1351-0～1351-pに入力される。NORゲート1352は、NANDゲート1351-0～1351-pの数に相当する数の入力端を有しており、各入力端には、各NORゲート1352の出力端が接続されている。そして、NORゲート1352は、NAND1351-0～1351-pの全ての出力がアクティブ状態になったとき、出力する冗長救済判定信号RD_kを

アサートする。なお、本実施の形態では、アドレス判定信号 $RA0Y \sim RAnY$ および冗長救済判定信号 RDk が、論理的高レベル（以下、「Hレベル」という）アクティブ信号である場合に即して $DRAM101$ の構成および動作を説明する。しかし、論理ゲートの構成を変更するなどして、アドレス判定信号 $RA0Y \sim RAnY$ および冗長救済判定信号 RDk を論理的低レベル（以下、「Lレベル」という）アクティブ信号とすることも可能である。

【0080】

論理演算部 135 において、NANDゲート $1351-0 \sim 1351-p$ の構成数とそれぞれの入力端数、および、NORゲート 1352 の入力端数は、論理演算部 135 に入力されるアドレス判定信号 $RA0Y \sim RAnY$ の数に応じて調整することが好ましい。例えば、アドレス判定信号の数が少なければ、論理演算部 135 と同等の機能部を多入力タイプのANDゲートだけで構成できる。このように、論理演算部 135 は、図6に示した論理ゲートの組み合わせに限らず、全てのアドレス判定信号 $RA0Y \sim RAnY$ がアサートされたことを検出して冗長救済判定信号 RDk をアサートする各種回路によって構成され得る。

【0081】

以上のように構成された本実施の形態にかかる $DRAM101$ の動作を説明する。

【0082】

$DRAM101$ は、製品化される前に、不良箇所を検出するためのテストとして、ブロック $BL0 \sim BLm$ に属する全ての通常メモリセルアレイ $MA0 \sim MA_m$ を対象とした任意データの書き込み動作／読み出し動作を行う。このテストによって不良箇所が検出された通常メモリセルアレイと同じブロックに属する冗長救済判定回路には、当該ブロックに不良箇所が存在する旨の情報がプログラムされるとともに、検出された不良箇所に対応するアドレス情報がプログラムされる。

【0083】

以下、ブロック BLk に属する通常メモリセルアレイ MAk の内部であって、Lレベルのアドレス信号 $A0Y$ とHレベルのアドレス信号 $A1Y \sim AnY$ によっ

てアクセスされる箇所（メモリセル、ビット線、ワード線等）に不良要因が存在する場合を例に DRAM101 の動作を説明する。

【0084】

この例の場合、テストによって、ブロック BLk に属する通常メモリセルアレイ MAk のみに不良箇所が存在すると検出される。したがって、ブロック BLk に属する冗長救済判定回路 Rk に対して、当該ブロック BLk に不良箇所が存在する旨の情報がプログラムされる。具体的には、冗長救済判定回路 Rk を構成するブロック判定部 131 に備えられたヒューズ素子 1313 が、電氣的にまたはレーザ装置等によって切断する。冗長救済判定回路 Rk 以外の冗長救済判定回路 R0 ~ Rm（0 ~ m に k は含まれない）を構成するブロック判定部に備えられたヒューズ素子は切断されない。

【0085】

さらに、このテストでは、通常メモリセルアレイ MAk の内部において、L レベルのアドレス信号 A0Y と H レベルのアドレス信号 A1Y ~ AnY によってアクセスされる箇所（アドレス "011...11"）に不良が生じていると検出される。したがって、冗長救済判定回路 Rk に対して、通常メモリセルアレイ MAk の内部の不良箇所に対応するアドレス情報がプログラムされる。具体的には、冗長救済判定回路 Rk を構成するサブ・アドレス判定部 133-0 ~ 133-n のうち、アドレス信号 A0Y が入力されるサブ・アドレス判定部 133-0 に備えられたヒューズ素子 1333 が、電氣的にまたはレーザ装置等によって切断される。

【0086】

なお、一の通常メモリセルアレイに不良箇所が存在しない場合、当該通常メモリセルアレイと同じブロックに属する冗長救済判定回路において、ブロック判定部内のヒューズ素子、および、n+1 個のサブ・アドレス判定部内の各ヒューズ素子は切断されない。

【0087】

以上のように、テスト結果に従って所定のヒューズ素子が切断されると、不良箇所が冗長救済されることになり、DRAM101 への正確なデータ書き込みお

よびDRAM101からの正確なデータ読み出しが可能となる。

【0088】

DRAM101において、実際のデータ転送（データ書き込みまたはデータ読み出し）が行われる前に、まず制御部113は、初期化信号／INTをアサートして各冗長救済判定回路R0～Rmを初期化する。初期化信号／INTのアサートのタイミングについては、例えば、DRAM101の電源投入時が好ましい。また、DRAM101に対してロウ（Row）アドレス信号が入力される直前であってよい。通常、DRAMへは、ロウアドレス信号、カラム（Column）アドレス信号の順で入力される。したがって、ロウアドレス信号が入力される前に初期化信号／INTがアサートされれば、実際のデータ転送時には各冗長救済判定回路R0～Rmは確実に初期化されることになる。なお、本実施の形態では、初期化信号／INTは、Lレベルアクティブ信号であるが、Hレベルアクティブ信号とすることも可能である。

【0089】

ここで、不良箇所を有する通常メモリセルアレイMAkと同じブロックBLkに属する冗長救済判定回路Rkの初期化動作と、不良箇所を有しない通常メモリセルアレイMA0～MAm（0～mにkは含まれない）と同じブロックBL0～BLm（0～mにkは含まれない）に属する冗長救済判定回路R0～Rm（0～mにkは含まれない）の初期化動作について説明する。

【0090】

まず、ブロックBLkに属する冗長救済判定回路Rkの初期化動作について説明する。

【0091】

初期化信号／INTがアサートされると（Lレベルに遷移すると）、冗長救済判定回路Rkに属し、ヒューズ素子1313が切断されているブロック判定部131のノード131n2はHレベルとなる。その後、初期化信号／INTがネゲートされても（Hレベルに遷移しても）、Pトランジスタ1312およびインバータ1315から構成されるラッチ手段によって、ノード131n2はHレベルに、ノード131n3はLレベルにそれぞれラッチされる。この結果、冗長救済

判定回路 R_k に属するブロック判定部 131 は、初期化後、L レベル（第 1 のレベル）にアサートされたブロック判定信号／BD を出力し続ける。

【0092】

冗長救済判定回路 R_k に属する 1 + n 個のサブ・アドレス判定部 133-0 ~ 133-n には、ブロック判定部 131 からアサートされたブロック判定信号／BD が与えられるため、各サブ・アドレス判定部 133-0 ~ 133-n が有する EXOR ゲート 1336 の電源制御端はイネーブル状態となり、各サブ・アドレス判定部 133-0 ~ 133-n は、アドレス信号 A_{0Y} ~ A_{nY} の判定が可能となる。また、各サブ・アドレス判定部 133-0 ~ 133-n が有する N トランジスタ 1337 はオフ状態となり、サブ・アドレス判定部 133-0 ~ 133-n は、判定結果に応じた論理レベルのアドレス判定信号 R A_{0Y} ~ R A_{nY} を出力することが可能となる。

【0093】

各サブ・アドレス判定部 133-0 ~ 133-n は、ブロック判定部 131 と同様に、所定のタイミングで L レベルの初期化信号／INT が入力され、初期化される。

【0094】

上述のように、本実施の形態では、冗長救済判定回路 R_k に属するサブ・アドレス判定部 133-0 ~ 133-n の中で、サブ・アドレス判定部 133-0 のみヒューズ素子 1333 が切断されており、その他のサブ・アドレス判定部 133-1 ~ 133-n のヒューズ素子 1333 は切断されていない。

【0095】

ヒューズ素子 1333 が切断されているサブ・アドレス判定部 133-0 のノード 133n2 は、初期化信号／INT がアサートされると（L レベルに遷移すると）、H レベルとなる。その後、初期化信号／INT がネゲートされても（H レベルに遷移しても）、P トランジスタ 1332 およびインバータ 1335 によって、ノード 133n2 は H レベルに、ノード 133n3 は L レベルにそれぞれラッチされる。

【0096】

一方、ヒューズ素子 1333 が切断されていないサブ・アドレス判定部 133-1 ~ 133-n の各ノード 133n2 も、初期化信号 / INT がアサートされると (L レベルに遷移すると)、H レベルとなる。しかし、その後、初期化信号 / INT がネゲートされると (H レベルに遷移すると)、各サブ・アドレス判定部 133-1 ~ 133-n の N トランジスタ 1334 がオン状態となり、各ノード 133n2 は L レベルに、ノード 133n3 は H レベルにそれぞれ遷移する。初期化信号 / INT は、初期化後常時 H レベルであるため、各サブ・アドレス判定部 133-1 ~ 133-n のノード 133n3 は H レベルを維持する。

【0097】

次に、不良箇所を有しない通常メモリセルアレイ MA0 ~ MA_m (0 ~ m に k は含まれない) と同じブロック BL0 ~ BL_m (0 ~ m に k は含まれない) に属する冗長救済判定回路 R0 ~ R_m (0 ~ m に k は含まれない) の初期化動作について説明する。

【0098】

初期化信号 / INT がアサートされると (L レベルに遷移すると)、冗長救済判定回路 R0 ~ R_m (0 ~ m に k は含まれない) に属し、ヒューズ素子 1313 が切断されていない各ブロック判定部 131 のノード 131n2 は H レベルとなる。しかし、その後、初期化信号 / INT がネゲートされると (H レベルに遷移すると)、各冗長救済判定回路 R0 ~ R_m (0 ~ m に k は含まれない) に属する各ブロック判定部 131 の N トランジスタ 1314 がオン状態となり、各ノード 131n2 は L レベルに、ノード 131n3 は H レベルにそれぞれ遷移する。初期化信号 / INT は、初期化後常時 H レベルであるため、各ブロック判定部 131 のノード 131n3 は H レベルを維持する。この結果、各冗長救済判定回路 R0 ~ R_m (0 ~ m に k は含まれない) に属する各ブロック判定部 131 は、初期化後、H レベルにネゲートされたブロック判定信号 / BD を出力し続ける。

【0099】

各冗長救済判定回路 R0 ~ R_m (0 ~ m に k は含まれない) に属する 1 + n 個のサブ・アドレス判定部 133-0 ~ 133-n には、同じ冗長救済判定回路 R0 ~ R_m (0 ~ m に k は含まれない) に属する各ブロック判定部 131 からネゲ

ートされたブロック判定信号／BDが与えられるため、各サブ・アドレス判定部 133-0～133-nが有するE x O Rゲート1336の電源制御端はディスエーブル状態となり、各冗長救済判定回路R 0～R m（0～mにkは含まれない）に属する各サブ・アドレス判定部133-0～133-nは、アドレス信号A 0 Y～A n Yの判定を行わない。また、各冗長救済判定回路R 0～R m（0～mにkは含まれない）に属する各サブ・アドレス判定部133-0～133-nが有するNトランジスタ1337はオン状態となり、各サブ・アドレス判定部133-0～133-nは、入力されるアドレス信号A 0 Y～A n Yの論理レベルに関わらず、Lレベルのアドレス判定信号R A 0 Y～R A n Yを出力する。

【0100】

各冗長救済判定回路R 0～R m（0～mにkは含まれない）に属する1+n個のサブ・アドレス判定部133-0～133-nが全てLレベルのアドレス判定信号R A 0 Y～R A n Yを出力すると、各冗長救済判定回路R 0～R m（0～mにkは含まれない）に属する論理演算部135は出力端をLレベルとする。

【0101】

このように、不良箇所を有しない通常メモリセルアレイM A 0～M A m（0～mにkは含まれない）と同じブロックB L 0～B L m（0～mにkは含まれない）に属する冗長救済判定回路R 0～R m（0～mにkは含まれない）は、初期化動作後は、入力されるアドレス信号A 0 Y～A n Yの論理レベルに関わらず、Lレベルにネゲートされた冗長救済判定信号R D 0～R D m（0～mにkは含まれない）を出力し続ける。

【0102】

以上のように各冗長救済判定回路R 0～R mが初期化された後、D R A M 1 0 1は、次のようにデータの書き込み動作、データ読み出し動作、および冗長置換動作を行う。

【0103】

D R A M 1 0 1に対してデータが書き込まれる場合またはD R A M 1 0 1からデータが読み出される場合、制御部113は、ブロック選択信号B S 0～B S mを用いて、アクセス先のブロックを指定する。このとき、制御部113は一度に

複数のブロックを指定することも可能である。ただし、図1に示したように、各通常センスアンプ部 $SA0/1$, $SA1/2$, \dots , SA_{m-1}/m は、両側に配置された通常メモリセルアレイ $MA0 \sim MA_m$ に共有される。したがって、隣接する通常メモリセルアレイ（例えば、通常メモリセルアレイ $MA0$ と通常メモリセルアレイ $MA1$ ）に対して同時にアクセスすることはできず、制御部 113 は、隣接するブロック（例えば、ブロック $BL0$ とブロック $BL1$ ）を一括して指定することはない。

【0104】

アドレスバッファ部 111 は、アクセス先のメモリセルのアドレスを特定するアドレス信号 $A0Y \sim AnY$ を出力する。

【0105】

全ての冗長救済判定回路 $R0 \sim Rm$ にはアドレス信号 $A0Y \sim AnY$ が入力されるが、冗長救済判定回路 $R0 \sim Rm$ のうち、ヒューズ素子 1313 が切断されているブロック判定部 131 を有する冗長救済判定回路だけ、アドレス信号 $A0Y \sim AnY$ が不良箇所を示すものか否かの判定動作（以下、「アドレス判定動作」という）を行い、ヒューズ素子 1313 が切断されていないブロック判定部 131 を有する冗長救済判定回路はアドレス判定動作を行わない。本実施の形態においては、上述のように、冗長救済判定回路 $R0 \sim Rm$ のうち冗長救済判定回路 Rk に属するブロック判定部 131 のヒューズ素子 1313 のみが切断されているため、冗長救済判定回路 Rk のみがアドレス判定動作を行う。その他の冗長救済判定回路 $R0 \sim Rm$ ($0 \sim m$ に k は含まれない) は、アドレス判定動作を行わず、Lレベルにネゲートされた冗長救済判定信号 $RD0 \sim RDm$ ($0 \sim m$ に k は含まれない) を出力し続ける。

【0106】

アドレス判定動作を行う冗長救済判定回路 Rk に対して、通常メモリセルアレイ MAk が有する不良箇所に対応するアドレス信号 $A0Y \sim AnY$ が入力されたとき、冗長救済判定回路 Rk に属するサブ・アドレス判定部 133-0 \sim 133-n はそれぞれ、Hレベルのアドレス判定信号 $RA0Y \sim RA_nY$ を出力し、冗長救済判定回路 Rk に属する論理演算部 135 の出力端はHレベルとなる。この

結果、冗長救済判定回路 R_k は、Hレベル（第2のレベル）にアサートされた冗長救済判定信号 RD_k を出力する。

【0107】

なお、冗長救済判定回路 R_k に対して、通常メモリセルアレイ MA_k が有する不良箇所に対応しないアドレス信号 $A_0Y \sim A_nY$ が入力されたとき、冗長救済判定回路 R_k に属するサブ・アドレス判定部 $133-0 \sim 133-n$ のうち少なくとも一つは、Lレベルのアドレス判定信号を出力する。したがって、冗長救済判定回路 R_k は、Lレベルにネゲートされた冗長救済判定信号 RD_k を出力する。

【0108】

各論理ゲート部 $LG_0, LG_0/1, \dots, LG_{m-1}/m, LG_m$ は、冗長救済判定回路 $R_0 \sim R_m$ から出力された冗長救済判定信号 $RD_0 \sim RD_m$ と、制御部 113 から出力されたブロック選択信号 $BS_0 \sim BS_m$ を用いて以下のよう

に所定の論理演算を行う。

【0109】

制御部 113 がHレベルのブロック選択信号 BS_k を出力し、冗長救済判定回路 R_k がHレベルの冗長救済判定信号 RD_k を出力すると、論理ゲート部 LG_{k-1}/k は、Hレベルの冗長選択信号 RS_{k-1}/k を出力し、論理ゲート部 $LG_{k/k+1}$ は、Hレベルの冗長選択信号 $RS_{k/k+1}$ を出力する。

【0110】

冗長センスアンプ部 RSA_{k-1}/k がHレベルの冗長選択信号 RS_{k-1}/k を受け、冗長センスアンプ部 $RS_{k/k+1}$ がHレベルの冗長選択信号 $RS_{k/k+1}$ を受けると、冗長メモリセルアレイ RMA_k 内のビット線 $RBL_0 \sim RBL_3$ がアクティブ状態となる。

【0111】

このときDRAM101がデータ書き込み動作中であるならば、書き込み許可信号 $/WE$ をアサートし、ワード線 $WL_0 \sim WL_i$ の中から所定のワード線をアクティブ状態とすることによって、サブ書き込みデータバス $SWDB$ から冗長メモリセルアレイ RMA_k 内の選択されたメモリセルに対してデータが書き込まれ

る。このときDRAM101がデータ読み出し動作中であるならば、ワード線WL0~WL_iの中から所定のワード線をアクティブ状態とすることによって、冗長メモリセルアレイRMA_k内の選択されたメモリセルからサブ読み出しデータバスSRDBに対してデータが読み出される。このようにして、不良箇所を有する通常メモリセルアレイMA_kは、同じブロックBL_kに属する冗長メモリセルアレイRMA_kに冗長救済されることになる。なお、同じデータを通常メモリセルアレイMA_kと冗長メモリセルアレイRMA_kに書き込み、かかるデータを読み出すときに、冗長メモリセルアレイRMA_kから読み出した方を選択して外部に転送するようにしてもよい。

【0112】

ところで、不良箇所を有する通常メモリセルアレイMA_kに対するアクセスであっても、不良箇所に関係のないメモリセルへのアクセスであるならば、通常メモリセルアレイMA_kと同じブロックBL_kに属する冗長救済判定回路R_kは、入力されるアドレス信号A0Y~AnYに基づいて、冗長置換を行う必要がないと判断し、Lレベルにネゲートされた冗長救済判定信号RD_kを出力する。この場合、制御部113がブロックBL_kをアクセス対象として選択し、Hレベルのブロック選択信号BS_kを出力しても、論理ゲート部LG_{k-1/k}は、Lレベルの冗長選択信号RS_{k-1/k}を出力し、論理ゲート部LG_{k/k+1}は、Lレベルの冗長選択信号RS_{k/k+1}を出力する。したがって、DRAM101は、冗長メモリセルアレイRMA_kに対するデータ書き込み動作およびデータ読み出し動作を行わず、通常メモリセルアレイMA_kに対するデータ書き込み動作およびデータ読み出し動作のみを行う。

【0113】

また、冗長救済判定回路R_kが通常メモリセルアレイMA_kに存在する不良箇所を示すアドレス信号A0Y~AnYを受信して、Hレベルにアサートされた冗長救済判定信号RD_kを出力しても、制御部113がLレベルのブロック選択信号BS_kを出力している場合、すなわちブロックBL_kがアクセス対象として選択されていない場合には、論理ゲート部LG_{k-1/k}は、Lレベルの冗長選択信号RS_{k-1/k}を出力し、論理ゲート部LG_{k/k+1}は、Lレベルの冗長

選択信号 $RS_k / k + 1$ を出力する。したがって、 $DRAM101$ は、通常メモリセルアレイ MA_k に対するデータ書き込み動作およびデータ読み出し動作を行わず、また冗長メモリセルアレイ RMA_k に対するデータ書き込み動作およびデータ読み出し動作も行わない。

【0114】

冗長救済判定回路 R_k 以外の冗長救済判定回路 $R_0 \sim R_m$ ($0 \sim m$ に k は含まれない) は、同じブロックに属する通常メモリセルアレイ $MA_0 \sim MA_m$ ($0 \sim m$ に k は含まれない) に不良箇所が存在しないため、冗長置換を行うか否かを判定する必要はなく、常に L レベルにネゲートされた冗長救済判定信号 $RD_0 \sim RD_m$ ($0 \sim m$ に k は含まれない) を出力する。このため、冗長救済判定回路 $R_0 \sim R_m$ ($0 \sim m$ に k は含まれない) の両側に位置する論理ゲート部 $LG_0, LG_0 / 1, \dots, LG_{m-1} / m, LG_m$ ($0 \sim m$ に k は含まれない) は、制御部 113 が出力するブロック選択信号 $BS_0 \sim BS_m$ ($0 \sim m$ に k は含まれない) の論理レベルに関わらず、 L レベルの冗長選択信号 $RS_0, RS_0 / 1, \dots, RS_m$ ($0 \sim m$ に k は含まれない) を出力する。したがって、 $DRAM101$ は、冗長メモリセルアレイ $RMA_0 \sim RMA_m$ ($0 \sim m$ に k は含まれない) に対するデータ書き込み動作およびデータ読み出し動作を行わない。

【0115】

ここまで説明した本実施の形態にかかる $DRAM101$ の動作、特に冗長救済にかかる動作の要点をまとめると次の通りである。

【0116】

冗長救済判定回路 $R_0 \sim R_m$ の中で、不良箇所を有する通常メモリセルアレイと同じブロックに属する冗長救済判定回路のみが、入力されるアドレス信号 $A_0Y \sim A_nY$ に基づくアドレス判定動作を行う。そして、このアドレス判定動作を行う冗長救済判定回路に対して通常メモリセルアレイに存在する不良箇所を示すアドレス信号 $A_0Y \sim A_nY$ が入力されると、当該冗長救済判定回路は、冗長救済判定信号をアサートする。ここで、制御部 113 が、不良箇所を有する通常メモリセルアレイの属するブロックへのアクセスを指示するブロック選択信号を出力しているのであれば、不良箇所を有する通常メモリセルアレイと同じブロック

に属する冗長メモリセルアレイは、同じブロックに属する冗長救済判定回路によってアサートされた冗長救済判定信号に応じてアクティブ状態となる。この結果、通常メモリセルアレイの不良箇所は、同じブロックに属する冗長メモリセルアレイによって救済される。

【0117】

一方、不良箇所を有しない、すなわち完全な通常メモリセルアレイと同じブロックに属する冗長救済判定回路は、入力されるアドレス信号 $A_0Y \sim A_nY$ に基づくアドレス判定動作は行わない。そもそも、完全な通常メモリセルアレイは、冗長救済の必要がない。したがって、完全な通常メモリセルアレイと同じブロックに属する冗長救済判定回路もアドレス判定動作を行う必要がない。

【0118】

以上のように、本実施の形態にかかる DRAM101 によれば、不良箇所を有する通常メモリセルアレイと同じブロックに属する冗長救済判定回路のみがアドレス判定動作を行う。これに対して、不良箇所を有しない（完全な）通常メモリセルアレイと同じブロックに属する冗長救済判定回路は、アドレス判定動作を行わない。したがって、ブロック数が増えても、真にアドレス判定動作を行う必要のある冗長救済判定回路だけがアドレス判定動作を行うため、DRAM101 全体の消費電力の低減が実現する。

【0119】

また、DRAM101 に備えられた各冗長救済判定回路 $R_0 \sim R_m$ は、正論理または負論理のアドレス信号 $Y_0A \sim Y_nY$ によってアドレス情報を得る。すなわち、各冗長救済判定回路 $R_0 \sim R_m$ は、相補のアドレス信号を必要としない。したがって、アドレス信号の伝送ラインに割り当てるレイアウト面積を小さく抑えることが可能となる。

【0120】

[第2の実施の形態]

本発明の第2の実施の形態にかかる半導体記憶装置としての DRAM201 の構成を図7に示す。この DRAM201 は、第1の実施の形態にかかる DRAM101 に対して、冗長救済判定回路 $R_0 \sim R_m$ がそれぞれ冗長救済判定回路 R_2

0 ~ R 2 m に置き換えられ、論理ゲート部 L G 0, L G m が省略され、論理ゲート部 L G 0 / 1, ..., L G m - 1 / m がそれぞれ論理ゲート部 L G 2 0 / 1, ..., L G 2 m - 1 / m に置き換えられた構成を有する。

【0121】

本実施の形態にかかる D R A M 2 0 1 は、m + 1 個のブロック B L 0 ~ B L m を有している。各ブロック B L 0 ~ B L m は、通常メモリセルアレイ M A 0 ~ M A m, 冗長メモリセルアレイ R M A 0 ~ R M A m, および冗長救済判定回路 R 2 0 ~ R 2 m を備えている。例えば、ブロック B L 0 ~ B L m の中の一つであるブロック B L k (0 ≤ k ≤ m) には、通常メモリセルアレイ M A k, 冗長メモリセルアレイ R M A k, および冗長救済判定回路 R 2 k が属する。このように、複数のメモリセルを m + 1 個のブロック B L 0 ~ B L m に分割して管理し、各ブロック毎にメモリセルにアクセスすることによって、データ読み出しおよびデータ書き込みの高速化および安定化が実現する。

【0122】

各ブロック B L 0 ~ B L m に属する通常メモリセルアレイ M A 0 ~ M A m に不良箇所が生じた場合、その不良箇所に関連するメモリセルまたはメモリセル群は、同じブロックに属する冗長メモリセルアレイ R M A 0 ~ R M A m の中のメモリセルまたはメモリセル群に置き換えられる。この置き換え、すなわち冗長救済の判定は、各ブロック B L 0 ~ B L m 毎に、各冗長救済判定回路 R 2 0 ~ R 2 m が担当する。

【0123】

各通常メモリセルアレイ M A 0 ~ M A m の間には通常センスアンプ部 S A 0 / 1, S A 1 / 2, ..., S A m - 1 / m が備えられ、位置的に先頭の通常メモリセルアレイ M A 0 の外側には通常センスアンプ部 S A 0 が備えられ、位置的に後尾の通常メモリセルアレイ M A m の外側には通常センスアンプ部 S A m が備えられている。

【0124】

例えば、通常メモリセルアレイ M A 1 の両側に配置されている通常センスアンプ部 S A 0 / 1 と通常センスアンプ部 S A 1 / 2 は、通常メモリセルアレイ M A

1 が有する複数のビット線（図示せず）の電圧を増幅して通常メモリセルアレイ MA 1 からデータを読み出し、または通常メモリセルアレイ MA 1 に対してデータを書き込むように動作する。他の通常センスアンプ部も同様に、隣接する通常メモリセルアレイからデータを読み出し、または隣接する通常メモリセルアレイに対してデータを書き込むように動作する。なお、各通常センスアンプ部 SA 0 / 1, SA 1 / 2, ..., SA m-1 / m は、両側に位置する 2 つの通常メモリセルアレイに対して作用する。つまり、各通常センスアンプ部 SA 0 / 1, SA 1 / 2, ..., SA m-1 / m は、両側に配置された通常メモリセルアレイ MA 0 ~ MA m に共有される機能部となる。この構成を採用することによって、ブロック数が増加しても、通常センスアンプ部の数を少なく抑えることが可能となる。

【0125】

各冗長メモリセルアレイ RMA 0 ~ RMA m には、冗長センスアンプ部 RSA 0 ~ RSA m が割り当てられている。この冗長メモリセルアレイ RMA 0 ~ RMA m と冗長センスアンプ部 RSA 0 ~ RSA m との関係は、上述の通常メモリセルアレイ MA 0 ~ MA m と通常センスアンプ部 SA 0 ~ SA m との関係と略同一である。すなわち、例えば、冗長メモリセルアレイ RMA 1 の両側に配置されている冗長センスアンプ部 RSA 0 / 1 と冗長センスアンプ部 RSA 1 / 2 は、冗長メモリセルアレイ RMA 1 が有する複数のビット線（図 2 参照）の電圧を増幅して冗長メモリセルアレイ RMA 1 からデータを読み出し、または冗長メモリセルアレイ RMA 1 に対してデータを書き込むように動作する。他の冗長センスアンプ部も同様に、隣接する冗長メモリセルアレイからデータを読み出し、または隣接する冗長メモリセルアレイに対してデータを書き込むように動作する。

【0126】

各冗長救済判定回路 R 2 0 ~ R 2 m の間には 1 つの OR ゲートから成る論理ゲート部 LG 2 0 / 1, LG 2 1 / 2, ..., LG 2 m-1 / m が備えられている。

【0127】

例えば、冗長救済判定回路 R 2 0 と冗長救済判定回路 R 2 1 の間に位置する論

理ゲート部 $LG20/1$ を構成する OR ゲートには、冗長救済判定回路 $R20$ が出力する冗長救済判定信号 $RD20$ と、冗長救済判定回路 $R21$ が出力する冗長救済判定信号 $RD21$ が与えられる。論理ゲート部 $LG20/1$ を構成する OR ゲートの出力端は、冗長センスアンプ部 $RSA0/1$ の入力端に接続されている。このように構成された論理ゲート部 $LG20/1$ は、冗長救済判定信号 $RD20$ と冗長救済判定信号 $RD21$ の論理和演算を行い、演算結果を冗長選択信号 $RS20/1$ として冗長センスアンプ部 $RSA0/1$ に与える。

【0128】

同様に、他の論理ゲート部 $LG21/2$, \dots , $LG2m-1/m$ は、隣接する各冗長救済判定回路 $R21 \sim R2m$ から冗長救済判定信号 $RD21 \sim RD2m$ が与えられるように構成されている。そして、各論理ゲート部 $LG21/2$, \dots , $LG2m-1/m$ の各出力端は、冗長センスアンプ部 $RSA1/2$, \dots , $RSAm-1/m$ の入力端に接続されている。各 $LG21/2$, \dots , $LG2m-1/m$ は、冗長救済判定信号 $RD21 \sim RD2m$ を用いて論理和演算を行い、演算結果を冗長選択信号 $RS21/2$, \dots , $RS2m-1/m$ として各冗長センスアンプ部 $RS0$, $RSA1/2$, \dots , $RSAm-1/m$ に与える。

【0129】

なお、位置的に先頭の冗長センスアンプ部 $RSA0$ には、冗長救済判定回路 $R20$ から冗長救済判定信号 $RD20$ が直接与えられ、位置的に後尾の冗長センスアンプ部 $RSAm$ には、冗長救済判定回路 $R2m$ から冗長救済判定信号 $RD2m$ が直接与えられる。

【0130】

冗長救済判定回路 $R20 \sim R2m$ は、アドレスバッファ部 111 が出力するアドレス信号 $A0Y \sim AnY$ および制御部 113 が出力する初期化信号 $/INT$ が与えられるように構成されている。また、各冗長救済判定回路 $R20 \sim R2m$ は、制御部 113 が出力するブロック選択信号 $BS0 \sim BS m$ が与えられるように構成されている。

【0131】

次に、本実施の形態にかかる D R A M 2 0 1 に備えられた冗長救済判定回路 R 2 0 ~ R 2 m の構成について説明する。冗長救済判定回路 R 2 0 ~ R 2 m は相互に略同一の構成を有する。したがって、ここでは代表的に、冗長救済判定回路 R 2 0 ~ R 2 m の中の一つである冗長救済判定回路 R 2 k ($0 \leq k \leq m$) の回路構成を説明する。

【0 1 3 2】

図 8 に示すように、冗長救済判定回路 R 2 k は、第 1 の実施の形態にかかる D R A M 1 0 1 が有する冗長救済判定回路 R 2 k に対して、ブロック判定部 1 3 1 がブロック判定部 2 3 1 に置き換えられた構成を有する。つまり、冗長救済判定回路 R 2 k は、ブロック判定部 2 3 1 およびアドレス判定部 1 3 2 から構成されている。

【0 1 3 3】

ブロック判定部 2 3 1 は、初期化信号 / I N T およびブロック選択信号 B S k が入力され、ブロック判定信号 / B D 2 を出力するように構成されている。

【0 1 3 4】

アドレス判定部 1 3 2 に備えられたサブ・アドレス判定部 1 3 3 - 0 ~ 1 3 3 - n は、初期化信号 / I N T およびブロック判定信号 / B D 2 が共通入力される。また、各サブ・アドレス判定部 1 3 3 - 0 ~ 1 3 3 - n は、アドレス信号 A 0 Y ~ A n Y が入力される。各サブ・アドレス判定部 1 3 3 - 0 ~ 1 3 3 - n は、各アドレス信号 A 0 Y ~ A n Y に対応して備えられるものであって、アドレス信号の数（ビット幅）が増減すれば、これに応じてサブ・アドレス判定部の構成数も増減する。

【0 1 3 5】

アドレス判定部 1 3 2 に備えられた論理演算部 1 3 5 は、各サブ・アドレス判定部 1 3 3 - 0 ~ 1 3 3 - n が出力するアドレス判定信号 R A 0 Y ~ R A n Y に基づいて所定の論理演算を行い、その結果を冗長救済判定信号 R D 2 k として出力する。

【0 1 3 6】

図 8 に示した冗長救済判定回路 R 2 k の構成要素について、図 5，図 6，図 9

を用いてさらに詳しく説明する。

【0137】

ブロック判定部 231 は、図 9 に示すように、P トランジスタ 2311、P トランジスタ 2312、ヒューズ素子 2313、N トランジスタ 2314、インバータ 2315、インバータ 2316、および NAND ゲート 2317 から構成されている。

【0138】

P トランジスタ 2311 のソースと P トランジスタ 2312 のソースは共に第 1 電源電位 VDD の供給ラインに接続されており、P トランジスタ 2311 のドレインと P トランジスタ 2312 のドレインは共にノード 231n2 に接続されている。P トランジスタ 2311 のゲートはノード 231n1 に接続されており、P トランジスタ 2312 のゲートはノード 231n3 に接続されている。

【0139】

ヒューズ素子 2313 の第 1 端はノード 231n2 に接続されており、ヒューズ素子 2313 の第 2 端は N トランジスタ 2314 のドレインに接続されている。

【0140】

N トランジスタ 2314 のゲートはノード 231n1 に接続されており、N トランジスタ 2314 のソースは第 2 電源電位 VSS (グラウンド電位) の供給ラインに接続されている。

【0141】

インバータ 2315 の入力端はノード 231n2 に接続されており、インバータ 2315 の出力端はノード 231n3 に接続されている。

【0142】

インバータ 2316 の入力端はノード 231n3 に接続されており、インバータ 2316 の出力端はノード 231n4 に接続されている。

【0143】

NAND ゲート 2317 の第 1 入力端はノード 231n4 に接続されており、NAND ゲート 2317 の第 2 入力端はノード 231n5 に接続されており、N

ANDゲート2317出力端はノード231n6に接続されている。

【0144】

以上のように構成されたブロック判定部231は、ノード231n1に初期化信号／INTが入力され、ノード231n5にブロック選択信号BSkが入力され、ノード231n6からブロック判定信号／BD2を出力する。出力されたブロック判定信号／BD2は、アドレス判定部132を構成するサブ・アドレス判定部133-0～133-nに与えられる。

【0145】

冗長救済判定回路R2kに備えられたn+1個のサブ・アドレス判定部133-0～133-nは、第1の実施の形態における冗長救済判定回路Rkに備えられたものと同じ構成(図5参照)を有している。ただし、本実施の形態においては、各サブ・アドレス判定部133-0～133-nに対して、ブロック判定信号／BDに代えてブロック判定信号／BD2が入力される。また、冗長救済判定回路R2kに備えられた論理演算部135は、第1の実施の形態における冗長救済判定回路Rkに備えられたものと同じ構成(図6参照)を有している。

【0146】

以上のように構成された本実施の形態にかかるDRAM201の動作を説明する。

【0147】

DRAM201は、製品化される前に、不良箇所を検出するためのテストとして、ブロックBL0～BLmに属する全ての通常メモリセルアレイMA0～MAmを対象とした任意データの書き込み動作／読み出し動作を行う。このテストによって不良箇所が検出された通常メモリセルアレイと同じブロックに属する冗長救済判定回路には、当該ブロックに不良箇所が存在する旨の情報がプログラムされるとともに、検出された不良箇所に対応するアドレス情報がプログラムされる。

【0148】

以下、ブロックBLkに属する通常メモリセルアレイMAkの内部であって、Lレベルのアドレス信号A0YとHレベルのアドレス信号A1Y～AnYによっ

てアクセスされる箇所（メモリセル、ビット線、ワード線等）に不良要因が存在する場合を例にDRAM201の動作を説明する。

【0149】

この例の場合、テストによって、ブロックBLkに属する通常メモリセルアレイMAkのみに不良箇所が存在すると検出される。したがって、ブロックBLkに属する冗長救済判定回路R2kに対して、当該ブロックBLkに不良箇所が存在する旨の情報がプログラムされる。具体的には、冗長救済判定回路R2kを構成するブロック判定部231に備えられたヒューズ素子2313が、電氣的にまたはレーザ装置等によって切断する。冗長救済判定回路R2k以外の冗長救済判定回路R20～R2m（0～mにkは含まれない）を構成するブロック判定部に備えられたヒューズ素子は切断されない。

【0150】

さらに、このテストでは、通常メモリセルアレイMAkの内部において、Lレベルのアドレス信号A0YとHレベルのアドレス信号A1Y～AnYによってアクセスされる箇所（アドレス”011・・・11”）に不良が生じていると検出される。したがって、冗長救済判定回路R2kに対して、通常メモリセルアレイMAkの内部の不良箇所に対応するアドレス情報がプログラムされる。具体的には、冗長救済判定回路R2kを構成するサブ・アドレス判定部133-0～133-nのうち、アドレス信号A0Yが入力されるサブ・アドレス判定部133-0に備えられたヒューズ素子1333が、電氣的にまたはレーザ装置等によって切断される。

【0151】

なお、一の通常メモリセルアレイに不良箇所が存在しない場合、当該通常メモリセルアレイと同じブロックに属する冗長救済判定回路において、ブロック判定部内のヒューズ素子、およびn+1個のサブ・アドレス判定部内の各ヒューズ素子は切断されない。

【0152】

以上のように、テスト結果に従って所定のヒューズ素子が切断されると、不良箇所が冗長救済されることになり、DRAM201への正確なデータ書き込みお

よび DRAM201 からの正確なデータ読み出しが可能となる。

【0153】

DRAM201 において、実際のデータ転送（データ書き込みまたはデータ読み出し）が行われる前に、まず制御部113は、初期化信号／INT をアサートして各冗長救済判定回路 R20～R2m を初期化する。初期化信号／INT のアサートのタイミングについては、例えば、DRAM201 の電源投入時が好ましい。また、DRAM201 に対してロウ（Row）アドレス信号が入力される直前であってよい。通常、DRAMへは、ロウアドレス信号、カラム（Column）アドレス信号の順で入力される。したがって、ロウアドレス信号が入力される前に初期化信号／INT がアサートされれば、実際のデータ転送時には各冗長救済判定回路 R20～R2m は確実に初期化されていることになる。なお、本実施の形態では、初期化信号／INT は、Lレベルアクティブ信号であるが、Hレベルアクティブ信号とすることも可能である。

【0154】

ここで、不良箇所を有する通常メモリセルアレイ MAk と同じブロック BLk に属する冗長救済判定回路 R2k の初期化動作と、不良箇所を有しない通常メモリセルアレイ MA0～MAm（0～mにkは含まれない）と同じブロック BL0～BLm（0～mにkは含まれない）に属する冗長救済判定回路 R20～R2m（0～mにkは含まれない）の初期化動作について説明する。

【0155】

まず、ブロック BLk に属する冗長救済判定回路 R2k の初期化動作について説明する。

【0156】

初期化信号／INT がアサートされると（Lレベルに遷移すると）、冗長救済判定回路 R2k に属し、ヒューズ素子 2313 が切断されているブロック判定部 231 のノード 231n2 は Hレベルとなる。その後、初期化信号／INT がネゲートされても（Hレベルに遷移しても）、Pトランジスタ 2312 およびインバータ 2315 によって、ノード 231n2 は Hレベルに、ノード 231n3 は Lレベル（第5のレベル）に、ノード 231n4 は Hレベルにそれぞれラッチさ

れる。つまり、Pトランジスタ2312およびインバータ2315はラッチ回路を構成している。NANDゲート2317は、ノード231n4がHレベルに固定されているため、ノード231n5に入力されるブロック選択信号BSkの論理レベルに応じて、ノード231n6の論理レベルを制御する。この結果、冗長救済判定回路R2kに属するブロック判定部231は、初期化後、ブロック選択信号BSkがアクティブ状態（Hレベル）の場合は、Lレベル（第3のレベル）にアサートされたブロック判定信号／BD2を出力し、ブロック選択信号BSkがインアクティブ状態（Lレベル）の場合は、Hレベルにネゲートされたブロック判定信号／BD2を出力する。

【0157】

制御部113がHレベルのブロック選択信号BSkを出力している場合、すなわちブロックBLkがアクセス対象として選択されている場合には、冗長救済判定回路R2kに属する1+n個のサブ・アドレス判定部133-0～133-nに対して、ブロック判定部231からアサートされたブロック判定信号／BDが与えられる。これによって、各サブ・アドレス判定部133-0～133-nが有するExORゲート1336の電源制御端はイネーブル状態となり、各サブ・アドレス判定部133-0～133-nは、アドレス信号A0Y～AnYの判定が可能となる。また、各サブ・アドレス判定部133-0～133-nが有するNトランジスタ1337はオフ状態となり、サブ・アドレス判定部133-0～133-nは、判定結果に応じた論理レベルのアドレス判定信号RA0Y～RA n Yを出力することが可能となる。

【0158】

これに対して、制御部113がLレベルのブロック選択信号BSkを出力している場合、すなわちブロックBLkがアクセス対象として選択されていない場合には、冗長救済判定回路R2kに属する1+n個のサブ・アドレス判定部133-0～133-nに対して、ブロック判定部231からネゲートされたブロック判定信号／BDが与えられる。これによって、各サブ・アドレス判定部133-0～133-nが有するExORゲート1336の電源制御端はディスエーブル状態となり、各サブ・アドレス判定部133-0～133-nは、アドレス信号

A0Y～AnYの判定を行わない。また、各サブ・アドレス判定部133-0～133-nが有するNトランジスタ1337はオン状態となり、サブ・アドレス判定部133-0～133-nは、常にインアクティブ状態（Lレベル）のアドレス判定信号RA0Y～RAnYを出力することになる。

【0159】

各サブ・アドレス判定部133-0～133-nは、ブロック判定部231と同様に、所定のタイミングでLレベルの初期化信号／INTが入力され、初期化される。

【0160】

上述のように、本実施の形態では、冗長救済判定回路R2kに属するサブ・アドレス判定部133-0～133-nの中で、サブ・アドレス判定部133-0のみヒューズ素子1333が切断されており、その他のサブ・アドレス判定部133-1～133-nのヒューズ素子1333は切断されていない。

【0161】

ヒューズ素子1333が切断されているサブ・アドレス判定部133-0のノード133n2は、初期化信号／INTがアサートされると（Lレベルに遷移すると）、Hレベルとなる。その後、初期化信号／INTがネゲートされても（Hレベルに遷移しても）、Pトランジスタ1332およびインバータ1335によって、ノード133n2はHレベルに、ノード133n3はLレベルにそれぞれラッチされる。

【0162】

一方、ヒューズ素子1333が切断されていないサブ・アドレス判定部133-1～133-nの各ノード133n2も、初期化信号／INTがアサートされると（Lレベルに遷移すると）、Hレベルとなる。しかし、その後、初期化信号／INTがネゲートされると（Hレベルに遷移すると）、各サブ・アドレス判定部133-1～133-nのNトランジスタ1334がオン状態となり、各ノード133n2はLレベルに、ノード133n3はHレベルにそれぞれ遷移する。初期化信号／INTは、初期化後常時Hレベルであるため、各サブ・アドレス判定部133-1～133-nのノード133n3はHレベルを維持する。

【0163】

次に、不良箇所を有しない通常メモリセルアレイ $MA_0 \sim MA_m$ ($0 \sim m$ に k は含まれない) と同じブロック $BL_0 \sim BL_m$ ($0 \sim m$ に k は含まれない) に属する冗長救済判定回路 $R_{20} \sim R_{2m}$ ($0 \sim m$ に k は含まれない) の初期化動作について説明する。

【0164】

初期化信号 $/INT$ がアサートされると (L レベルに遷移すると), 冗長救済判定回路 $R_{20} \sim R_{2m}$ ($0 \sim m$ に k は含まれない) に属し, ヒューズ素子 2313 が切断されていない各ブロック判定部 231 のノード $231n2$ は H レベルとなる。しかし, その後, 初期化信号 $/INT$ がネゲートされると (H レベルに遷移すると), 各冗長救済判定回路 $R_{20} \sim R_{2m}$ ($0 \sim m$ に k は含まれない) に属する各ブロック判定部 231 の N トランジスタ 2314 がオン状態となり, 各ノード $231n2$ は L レベルに, ノード $231n3$ は H レベルに, ノード $231n4$ は L レベルにそれぞれ遷移する。初期化信号 $/INT$ は, 初期化後常時 H レベルであるため, 各ブロック判定部 231 のノード $231n6$ は, ノード $231n5$ に入力されるブロック選択信号 $BS_0 \sim BS_m$ の論理レベルに関わらず, H レベルを維持する。この結果, 各冗長救済判定回路 $R_{20} \sim R_{2m}$ ($0 \sim m$ に k は含まれない) に属する各ブロック判定部 231 は, 初期化後, H レベルにネゲートされたブロック判定信号 $/BD2$ を出力し続ける。

【0165】

各冗長救済判定回路 $R_{20} \sim R_{2m}$ ($0 \sim m$ に k は含まれない) に属する $1+n$ 個のサブ・アドレス判定部 $133-0 \sim 133-n$ には, 同じ冗長救済判定回路 $R_{20} \sim R_{2m}$ ($0 \sim m$ に k は含まれない) に属する各ブロック判定部 231 からネゲートされたブロック判定信号 $/BD2$ が与えられるため, 各サブ・アドレス判定部 $133-0 \sim 133-n$ が有する $EXOR$ ゲート 1336 の電源制御端はディスエーブル状態となり, 各冗長救済判定回路 $R_{20} \sim R_{2m}$ ($0 \sim m$ に k は含まれない) に属する各サブ・アドレス判定部 $133-0 \sim 133-n$ は, アドレス信号 $A_{0Y} \sim A_{nY}$ の判定を行わない。また, 各冗長救済判定回路 $R_{20} \sim R_{2m}$ ($0 \sim m$ に k は含まれない) に属する各サブ・アドレス判定部 133

—0～133—nが有するNトランジスタ1337はオン状態となり、各サブ・アドレス判定部133—0～133—nは、入力されるアドレス信号A0Y～AnYの論理レベルに関わらず、Lレベルのアドレス判定信号RA0Y～RAnYを出力する。

【0166】

各冗長救済判定回路R20～R2m（0～mにkは含まれない）に属する1+n個のサブ・アドレス判定部133—0～133—nが全てLレベルのアドレス判定信号RA0Y～RAnYを出力すると、各冗長救済判定回路R20～R2m（0～mにkは含まれない）に属する論理演算部135は出力端をLレベルとする。

【0167】

このように、不良箇所を有しない通常メモリセルアレイMA0～MAm（0～mにkは含まれない）と同じブロックBL0～BLm（0～mにkは含まれない）に属する冗長救済判定回路R20～R2m（0～mにkは含まれない）は、初期化動作後は、入力されるアドレス信号A0Y～AnYの論理レベルに関わらず、Lレベル（第4のレベル）にネゲートされた冗長救済判定信号RD20～RD2m（0～mにkは含まれない）を出力し続ける。

【0168】

以上のように各冗長救済判定回路R20～R2mが初期化された後、DRAM201は、次のようにデータの書き込み動作、データ読み出し動作、および冗長置換動作を行う。

【0169】

DRAM201に対してデータが書き込まれる場合またはDRAM201からデータが読み出される場合、制御部113は、ブロック選択信号BS0～BSmを用いて、アクセス先のブロックを指定する。このとき、制御部113は一度に複数のブロックを指定することも可能である。ただし、図7に示したように、各通常センスアンプ部SA0/1, SA1/2, ..., SA_{m-1}/mは、両側に配置された通常メモリセルアレイMA0～MAmに共有される。したがって、隣接する通常メモリセルアレイ（例えば、通常メモリセルアレイMA0と通常メ

メモリセルアレイMA1) に対して同時にアクセスすることはできず、制御部113は、隣接するブロック(例えば、ブロックBL0とBL1)を一括して指定することはない。

【0170】

アドレスバッファ部111は、アクセス先のアドレスに対応するアドレス信号A0Y~AnYを出力する。

【0171】

全ての冗長救済判定回路R20~R2mにはアドレス信号A0Y~AnYが入力されるが、冗長救済判定回路R20~R2mのうち、ヒューズ素子2313が切断されているブロック判定部231を有する冗長救済判定回路だけ、アドレス信号A0Y~AnYが不良箇所を示すものか否かの判定動作(以下、「アドレス判定動作」という)を行い、ヒューズ素子2313が切断されていないブロック判定部231を有する冗長救済判定回路はアドレス判定動作を行わない。本実施の形態においては、上述のように、冗長救済判定回路R20~R2mのうち冗長救済判定回路R2kに属するブロック判定部231のヒューズ素子2313のみが切断されているため、冗長救済判定回路R2kのみがアドレス判定動作を行う。その他の冗長救済判定回路R20~R2m(0~mにkは含まれない)は、アドレス判定動作を行わず、Lレベルにネゲートされた冗長救済判定信号RD20~RD2m(0~mにkは含まれない)を出力し続ける。

【0172】

アドレス判定動作を行う冗長救済判定回路R2kに対して、通常メモリセルアレイMAkが有する不良箇所に対応するアドレス信号A0Y~AnYが入力されたとき、冗長救済判定回路R2kに属するサブ・アドレス判定部133-0~133-nはそれぞれ、Hレベルのアドレス判定信号RA0Y~RAnYを出力し、冗長救済判定回路R2kに属する論理演算部135の出力端はHレベルとなる。この結果、冗長救済判定回路R2kは、Hレベルにアサートされた冗長救済判定信号RD2kを出力する。

【0173】

なお、冗長救済判定回路R2kに対して、通常メモリセルアレイMAkが有す

る不良箇所に対応しないアドレス信号 $A0Y \sim AnY$ が入力されたとき、冗長救済判定回路 $R2k$ に属するサブ・アドレス判定部 $133-0 \sim 133-n$ のうち少なくとも一つは、Lレベルのアドレス判定信号を出力する。したがって、冗長救済判定回路 $R2k$ は、Lレベルにネゲートされた冗長救済判定信号 $RD2k$ を出力する。

【0174】

各論理ゲート部 $LG20/1, \dots, LG2m-1/m$ は、冗長救済判定回路 $R20 \sim R2m$ から出力された冗長救済判定信号 $RD20 \sim RD2m$ を用いて所定の論理演算を行う。

【0175】

冗長救済判定回路 $R2k$ がHレベルの冗長救済判定信号 $RD2k$ を出力すると、論理ゲート部 $LG2k-1/k$ は、Hレベルの冗長選択信号 $RS2k-1/k$ を出力し、論理ゲート部 $LG2k/k+1$ は、Hレベルの冗長選択信号 $RS2k/k+1$ を出力する。

【0176】

冗長センスアンプ部 $RSAk-1/k$ がHレベルの冗長選択信号 $RS2k-1/k$ を受け、冗長センスアンプ部 $RSAk/k+1$ がHレベルの冗長選択信号 $RS2k/k+1$ を受けると、冗長メモリセルアレイ $RMAk$ 内のビット線 $RBL0 \sim RBL3$ がアクティブ状態となる。

【0177】

このとき $DRAM201$ がデータ書き込み動作中であるならば、書き込み許可信号 $/WE$ をアサートし、ワード線 $WL0 \sim WLi$ の中から所定のワード線をアクティブ状態とすることによって、サブ書き込みデータバス $SWDB$ から冗長メモリセルアレイ $RMAk$ 内の選択されたメモリセルに対してデータが書き込まれる。このとき $DRAM201$ がデータ読み出し動作中であるならば、ワード線 $WL0 \sim WLi$ の中から所定のワード線をアクティブ状態とすることによって、冗長メモリセルアレイ $RMAk$ 内の選択されたメモリセルからサブ読み出しデータバス $SRDB$ に対してデータが読み出される。このようにして、不良箇所を有する通常メモリセルアレイ MAk は、同じブロック BLk に属する冗長メモリセル

アレイ RMA k に冗長救済されることになる。なお、同じデータを通常メモリセルアレイ MA k と冗長メモリセルアレイ RMA k に書き込み、かかるデータを読み出すときに、冗長メモリセルアレイ RMA k から読み出した方を選択して外部に転送するようにしてもよい。

【0178】

ところで、不良箇所を有する通常メモリセルアレイ MA k に対するアクセスであっても、不良箇所に関係のメモリセルへのアクセスであるならば、通常メモリセルアレイ MA k と同じブロック BL k に属する冗長救済判定回路 R 2 k は、入力されるアドレス信号 A 0 Y ~ A n Y に基づいて、冗長置換を行う必要がないと判断し、L レベルにネゲートされた冗長救済判定信号 RD 2 k を出力する。この場合、論理ゲート部 LG 2 k - 1 / k は、L レベルの冗長選択信号 RS 2 k - 1 / k を出力し、論理ゲート部 LG 2 k / k + 1 は、L レベルの冗長選択信号 RS 2 k / k + 1 を出力する。したがって、DRAM 201 は、冗長メモリセルアレイ RMA k に対するデータ書き込み動作およびデータ読み出し動作を行わず、通常メモリセルアレイ MA k に対するデータ書き込み動作およびデータ読み出し動作のみを行う。

【0179】

また、冗長救済判定回路 R 2 k は、通常メモリセルアレイ MA k に存在する不良箇所を示すアドレス信号 A 0 Y ~ A n Y を受信しても、制御部 113 が L レベルのブロック選択信号 BS k を出力している場合、すなわちブロック BL k がアクセス対象として選択されていない場合、L レベルにネゲートされた冗長救済判定信号 RD 2 k を出力する。そして、論理ゲート部 LG 2 k - 1 / k は、L レベルの冗長選択信号 RS 2 k - 1 / k を出力し、論理ゲート部 LG 2 k / k + 1 は、L レベルの冗長選択信号 RS 2 k / k + 1 を出力する。したがって、DRAM 201 は、通常メモリセルアレイ MA k に対するデータ書き込み動作およびデータ読み出し動作を行わず、また冗長メモリセルアレイ RMA k に対するデータ書き込み動作およびデータ読み出し動作も行わない。

【0180】

冗長救済判定回路 R 2 k 以外の冗長救済判定回路 R 20 ~ R 2 m (0 ~ m に k

は含まれない)は、同じブロックに属する通常メモリセルアレイ $MA_0 \sim MA_m$ ($0 \sim m$ に k は含まれない)に不良箇所が存在しないため、冗長置換を行うか否かを判定する必要はなく、制御部113が出力するブロック選択信号 $BS_{20} \sim BS_{2m}$ ($0 \sim m$ に k は含まれない)の論理レベルに関わらず、常にLレベルにネゲートされた冗長救済判定信号 $RD_{20} \sim RD_{2m}$ ($0 \sim m$ に k は含まれない)を出力する。このため、冗長救済判定回路 $R_{20} \sim R_{2m}$ ($0 \sim m$ に k は含まれない)の両側に位置する論理ゲート部 $LG_{20}/1, \dots, LG_{2m-1}/m$ ($0 \sim m$ に k は含まれない)は、Lレベルの冗長選択信号 $RS_{20}/1, RS_{21}/2, \dots, RS_{2m-1}/m$ ($0 \sim m$ に k は含まれない)を出力する。したがって、 $DRAM_{201}$ は、冗長メモリセルアレイ $RMA_0 \sim RMA_m$ ($0 \sim m$ に k は含まれない)に対するデータ書き込み動作およびデータ読み出し動作を行わない。

【0181】

ここまで説明した本実施の形態にかかる $DRAM_{201}$ の動作、特に冗長救済にかかる動作の要点をまとめると次の通りである。

【0182】

冗長救済判定回路 $R_{20} \sim R_{2m}$ の中で、不良箇所を有する通常メモリセルアレイと同じブロックに属する冗長救済判定回路のみが、入力されるアドレス信号 $A_0Y \sim A_nY$ に基づくアドレス判定動作を行う。ただし、制御部113が、不良箇所を有する通常メモリセルアレイの属するブロックへのアクセスを指示するブロック選択信号を出力している場合にのみ、この冗長救済判定回路はアドレス判定動作を行う。そして、このアドレス判定動作を行う冗長救済判定回路に対して通常メモリセルアレイに存在する不良箇所を示すアドレス信号 $A_0Y \sim A_nY$ が入力されると、当該冗長救済判定回路は、冗長救済判定信号をアサートする。不良箇所を有する通常メモリセルアレイと同じブロックに属する冗長メモリセルアレイは、同じブロックに属する冗長救済判定回路によってアサートされた冗長救済判定信号に応じてアクティブ状態となる。この結果、通常メモリセルアレイの不良箇所は、同じブロックに属する冗長メモリセルアレイによって救済される。

。

【 0 1 8 3 】

一方、不良箇所を有しない、すなわち完全な通常メモリセルアレイと同じブロックに属する冗長救済判定回路は、入力されるアドレス信号 $A_0Y \sim A_nY$ に基づくアドレス判定動作は行わない。そもそも、完全な通常メモリセルアレイは、冗長救済の必要がない。したがって、完全な通常メモリセルアレイと同じブロックに属する冗長救済判定回路もアドレス判定動作を行う必要がない。

【 0 1 8 4 】

以上のように、本実施の形態にかかる DRAM 2 0 1 によれば、第 1 の実施の形態にかかる DRAM 1 0 1 と同様の効果が得られる。すなわち、ブロック数が多くなっても、DRAM 2 0 1 全体の消費電力の低減が実現する。また、アドレス信号の伝送ラインに割り当てるレイアウト面積を抑えることが可能となる。

【 0 1 8 5 】

さらに、本実施の形態にかかる DRAM 2 0 1 によれば、不良箇所を有する通常メモリセルアレイと同じブロックに属する冗長救済判定回路であっても、当該ブロックが制御部 1 1 3 に選択されていなければ、例え不良箇所を示すアドレス信号 $A_0Y \sim A_nY$ が入力されても当該冗長救済判定回路はアドレス判定動作を行わない。したがって、DRAM 2 0 1 の消費電力がより低減することになる。

【 0 1 8 6 】

添付図面を参照しながら本発明の好適な実施の形態について説明したが、本発明はかかる実施の形態に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【 0 1 8 7 】

例えば、ブロック BLk に属する通常メモリセルアレイ MAk にのみ不良箇所が存在する場合に即して本発明の実施の形態を説明したが、複数の通常メモリセルアレイに不良箇所が存在する場合であっても本発明の適用は可能である。

【 0 1 8 8 】

また、本発明の実施の形態によれば、各冗長救済判定回路は、2つの論理ゲー

ト部に対して同一の冗長救済判定信号を与える。例えば、冗長救済判定回路 R_k は、論理ゲート部 $LG_{k-1/k}$ と論理ゲート部 $LG_{k/k+1}$ に対して冗長救済判定信号 RD_k を与える。しかし、本発明はかかる構成に限定されるものではない。各論理ゲート部に独立した冗長救済判定回路を備えることも可能である。この場合、各ブロックには2つの冗長救済判定回路が備えられることになる。

【0189】

また、冗長メモリセルアレイ内のビット線の本数が増加し、各冗長センスアンプ部が有するデータ読み出し部およびデータ書き込み部の段数が増加した場合には、これに応じて論理ゲート部の数および各ブロックに属する冗長救済判定回路の数を増加させることが好ましい。

【0190】

【発明の効果】

以上説明したように、本発明によれば、ブロック数が増加しても、冗長救済にかかる消費電力を低く抑えることが可能となる。また、半導体記憶装置全体において、より狭い領域に冗長救済のための回路を構成することが可能となる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態にかかるDRAMの構成を示すブロック図である。

【図2】

図1のDRAMが有する冗長メモリセルアレイおよび冗長センスアンプ部の回路図である。

【図3】

図1のDRAMが有する冗長救済判定回路の構成を示すブロック図である。

【図4】

図3の冗長救済判定回路が有するブロック判定部の回路図である。

【図5】

図3の冗長救済判定回路が有するサブ・アドレス判定部の回路図である。

【図6】

図3の冗長救済判定回路が有する論理演算部の回路図である。

【図 7】

本発明の第 2 の実施の形態にかかる D R A M の構成を示すブロック図である。

【図 8】

図 7 の D R A M が有する冗長救済判定回路の構成を示すブロック図である。

【図 9】

図 8 の冗長救済判定回路が有するブロック判定部の回路図である。

【符号の説明】

1 0 1, 2 0 1 : D R A M
1 1 1 : アドレスバッファ部
1 1 3 : 制御部
1 3 1 : ブロック判定部
1 3 2 : アドレス判定部
1 3 3 - 0 ~ 1 3 3 - n : サブ・アドレス判定部
1 3 5 : 論理演算部
1 3 1 3 : ヒューズ素子
1 3 3 3 : ヒューズ素子
A 0 Y ~ A n Y : アドレス信号
B L 0 ~ B L m : ブロック
B S 0 ~ B S m : ブロック選択信号
L G 0 ~ L G m : 論理ゲート部
M A 0 ~ M A m : 通常メモリセルアレイ
R 0 ~ R m : 冗長救済判定回路
R A 0 Y ~ R A n Y : アドレス判定信号
R B L 0 ~ R B L 3 : ビット線
R D 0 ~ R D m : 冗長救済判定信号
R M A 0 ~ R M A m : 冗長メモリセルアレイ
R M C 0 0 ~ R M C 3 i : メモリセル
R S A 0 ~ R S A m : 冗長センスアンプ部
S A 0 ~ S A m : 通常センスアンプ部

S R D B : サブ読み出しデータバス

S W D B : サブ書き込みデータバス

W L 0 ~ W L i : ワード線

/ B D : ブロック判定信号

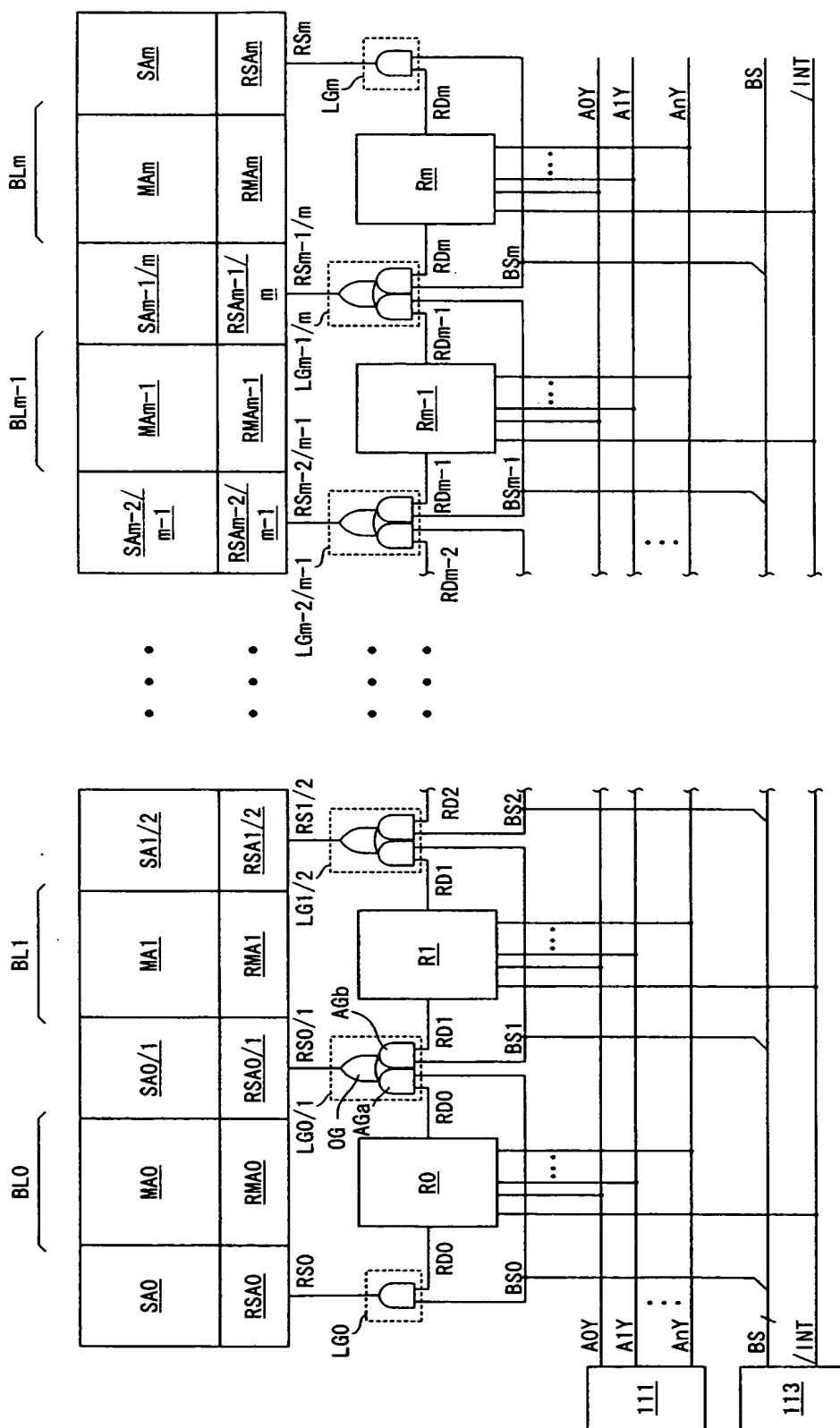
/ I N T : 初期化信号

【書類名】

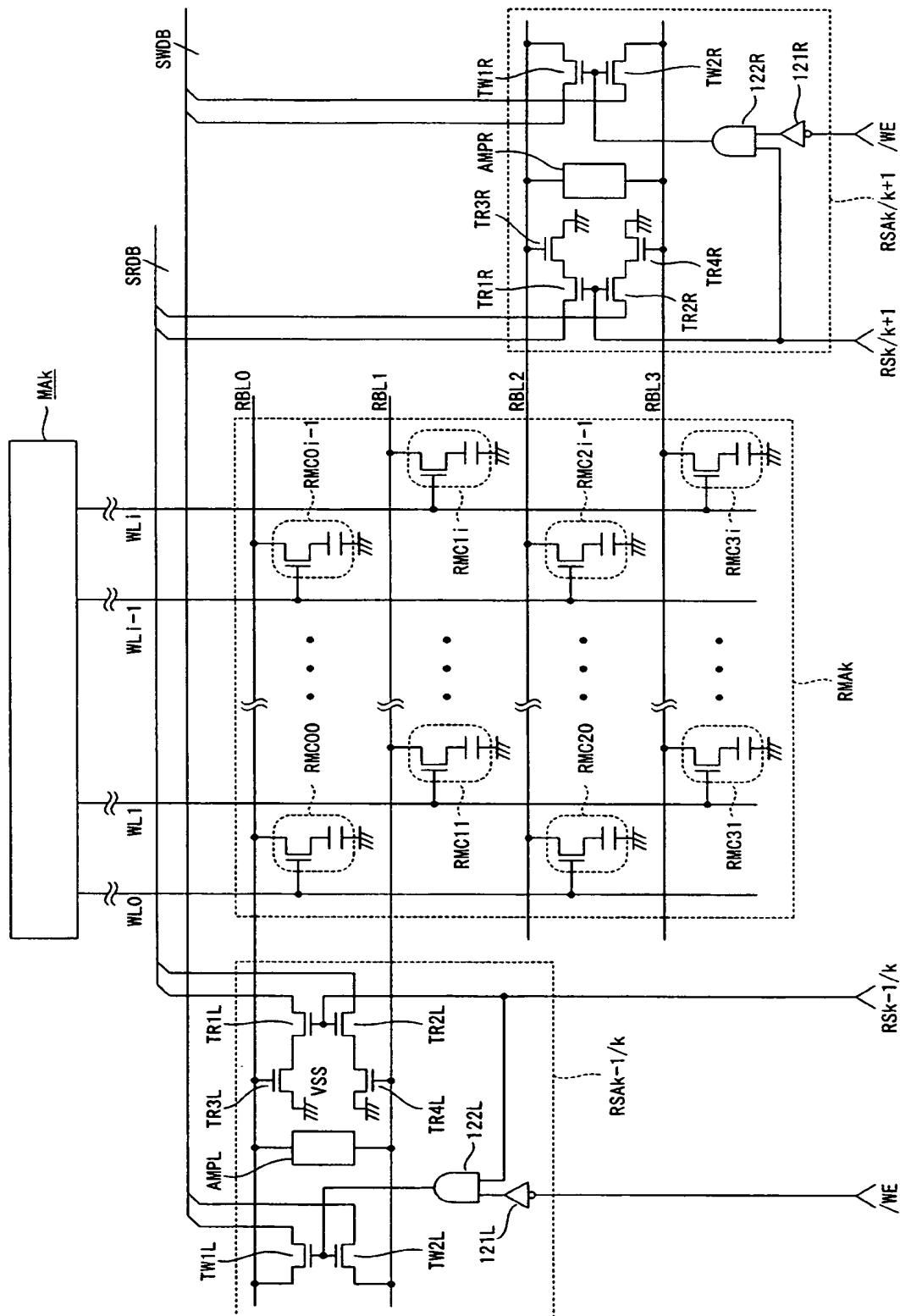
図面

【図 1】

101: DRAM

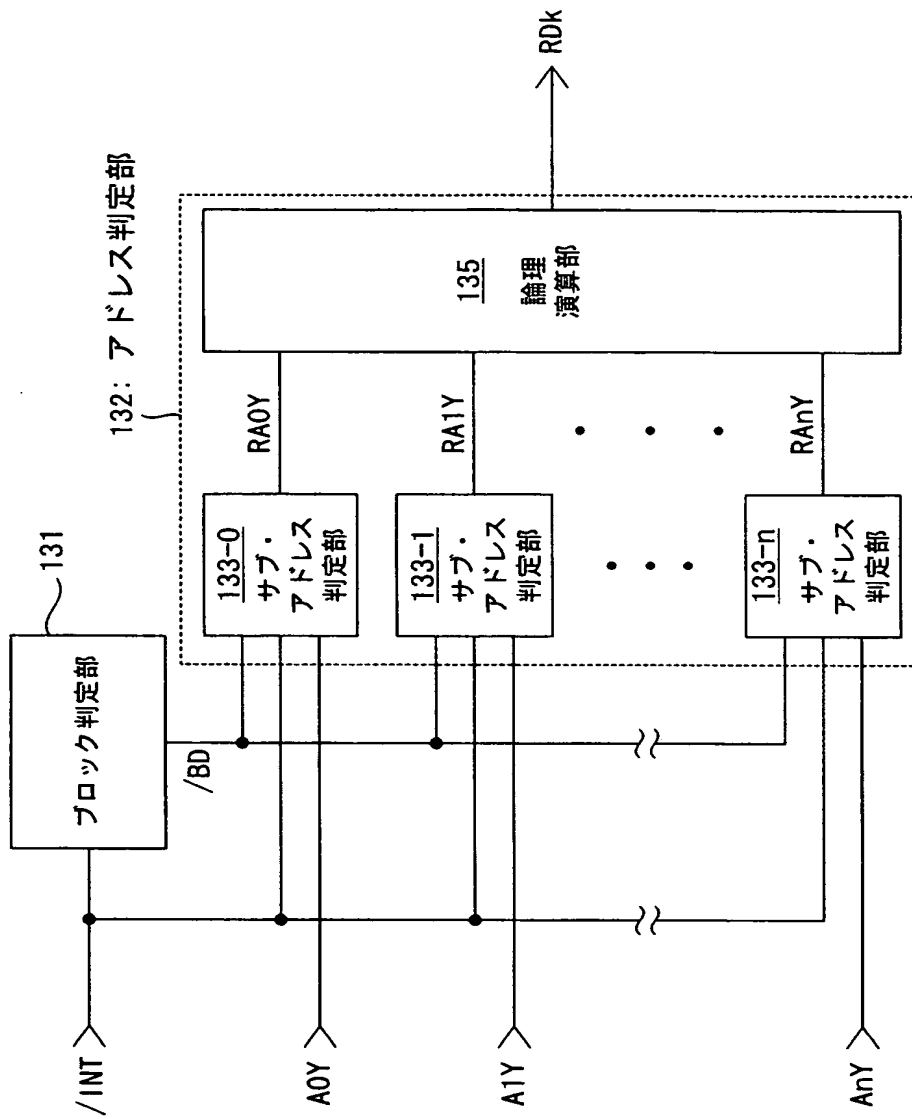


【図 2】



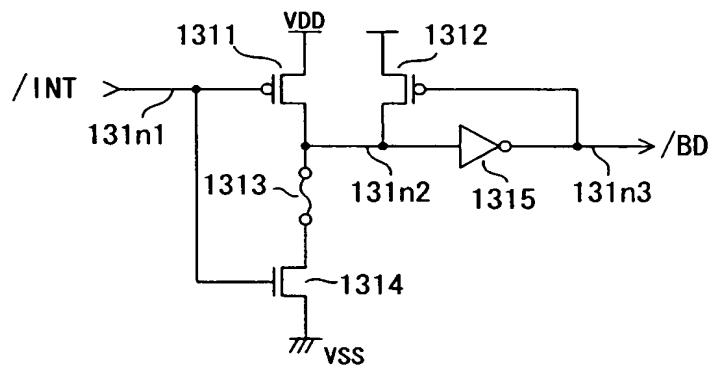
【図 3】

Rk: 冗長救済判定回路



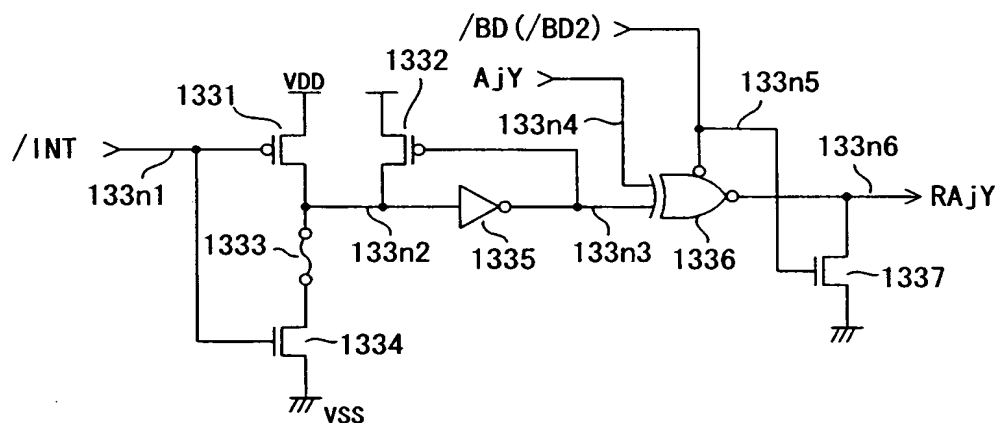
【図 4】

131: ブロック判定部

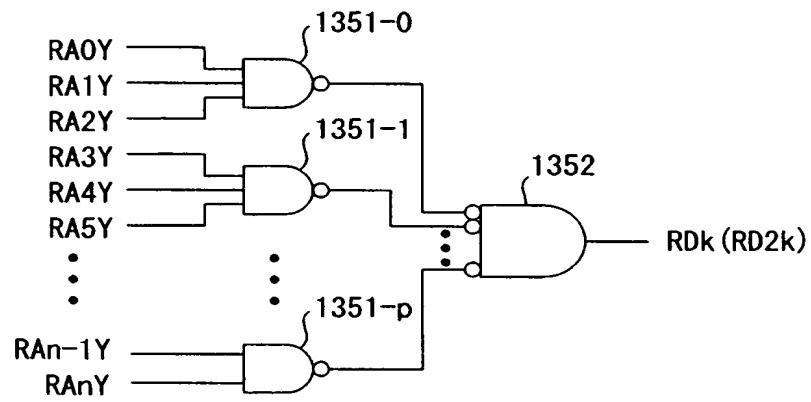


【図 5】

133-j: アドレス判定部

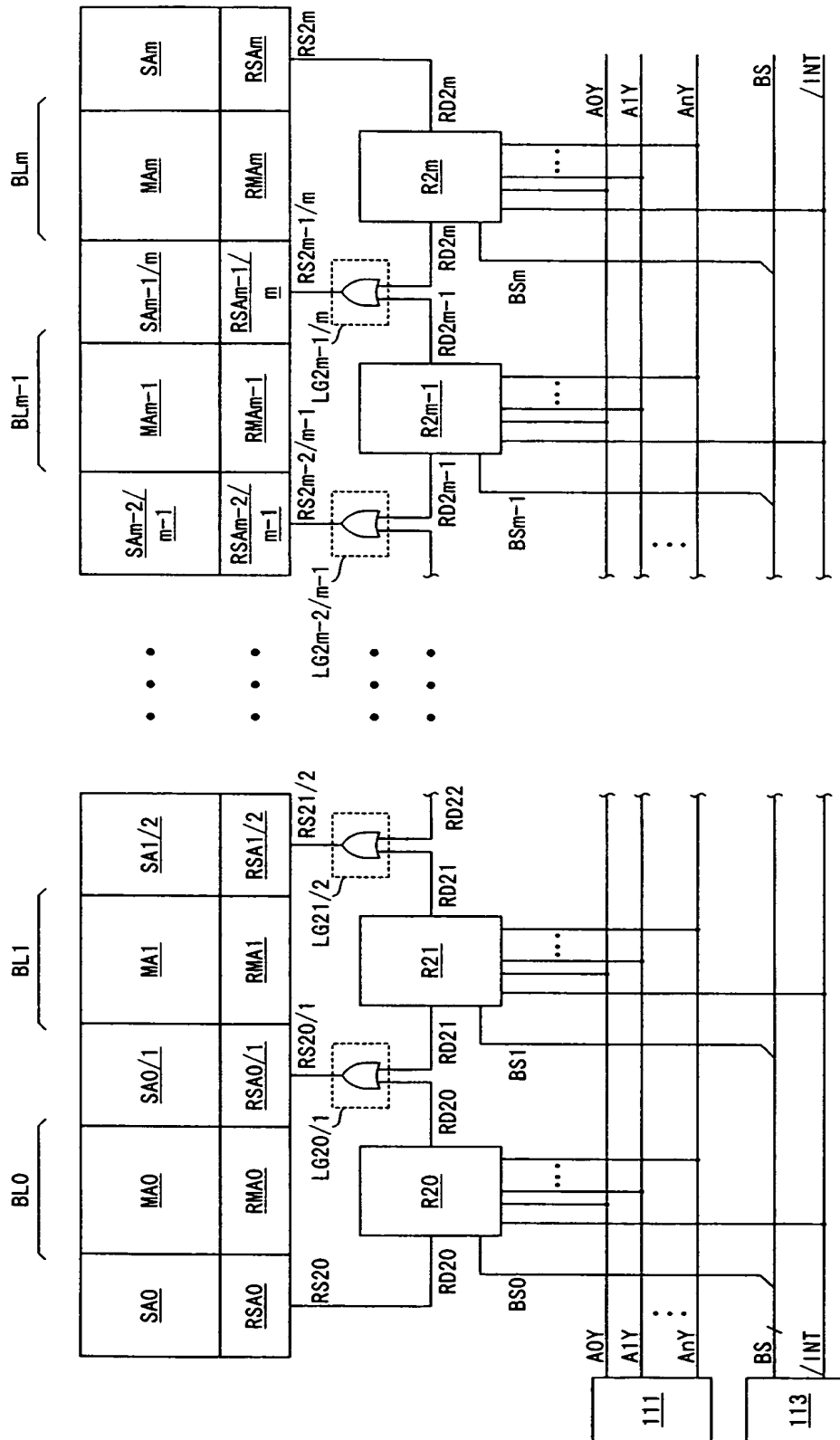


【図 6】

135: 論理演算部

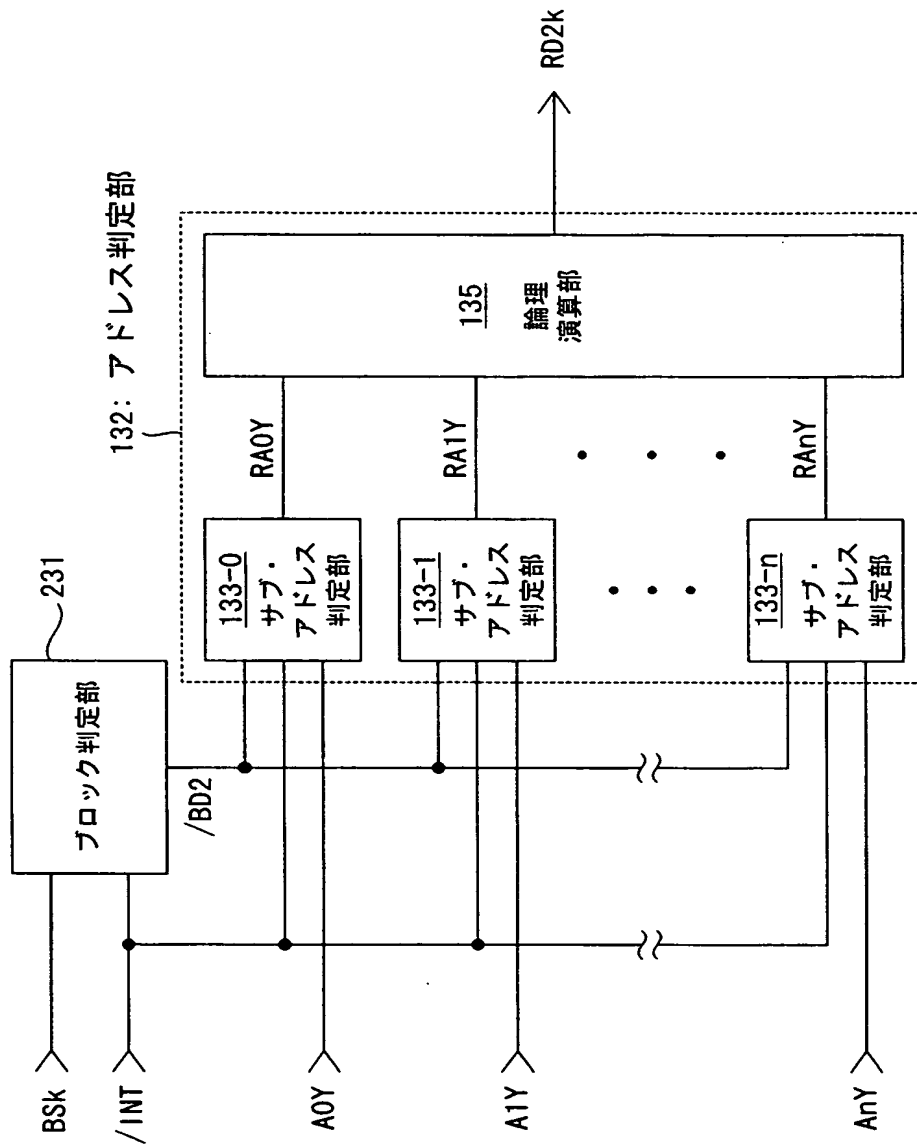
【図 7】

201: DRAM



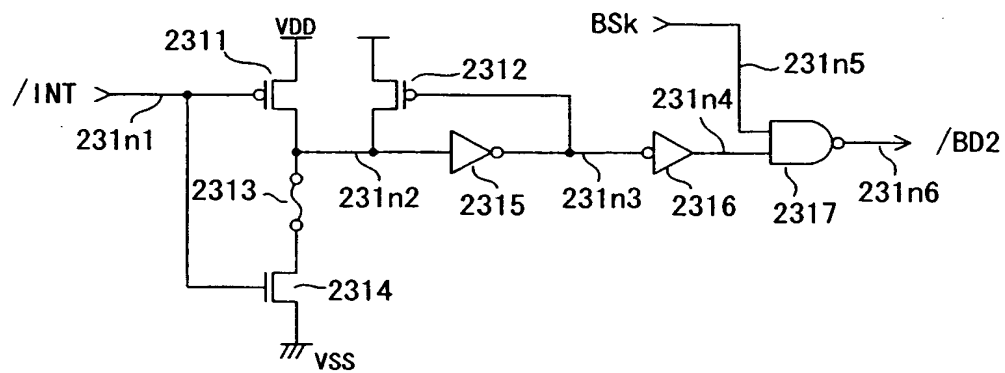
【図 8】

R2k: 冗長救済判定回路



【图9】

231: ブロック判定部





【書類名】 要約書

【要約】

【課題】 複数のブロックに配された各冗長救済判定回路の消費電力を低減することが可能な半導体記憶装置を提供する。

【解決手段】 複数のブロックに属する冗長救済判定回路 R_k は、ブロック判定部 131 およびアドレス判定部 132 から構成されている。アドレス判定部 132 は、 $n+1$ 個のサブ・アドレス判定部 133-0 ~ 133-n および論理演算部 135 を備えている。ブロック判定部 131 に対して、同じブロックに属するメモリセルアレイに不良箇所が存在するか否かについての情報がプログラムされる。不良箇所が存在する場合、ブロック判定信号 $/BD$ がアサートされる。ブロック判定信号 $/BD$ がアサートされると各サブ・アドレス判定部 133-0 ~ 133-n は、入力されるアドレス信号 $A_0Y \sim A_nY$ がメモリセルアレイにおける不良箇所を示すものか否かを判定する動作を行う。

【選択図】 図 3



特願 2 0 0 3 - 0 9 5 8 2 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社